

OPA145 高精度、低噪声、轨到轨输出、5.5MHz JFET 运算放大器

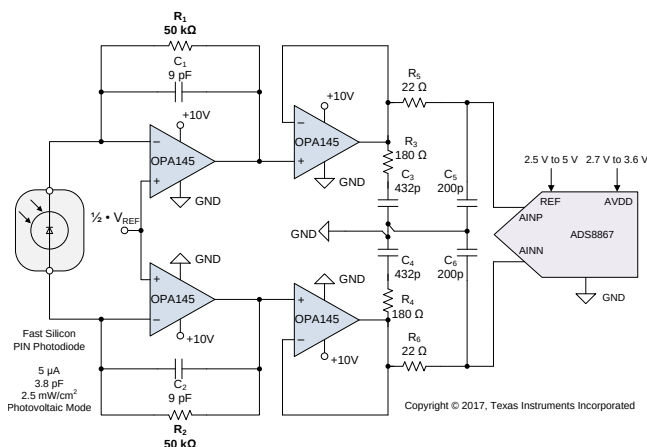
1 特性

- 最佳带宽和转换率/功率比：
 - 增益带宽积：5.5MHz
 - 转换率：20V/ μ s
 - 低电源电流：475 μ A（最大值）
- 高精度：
 - 极低失调电压：150 μ V（最大值）
 - 极低温漂：1 μ V/ $^{\circ}$ C（最大值）
- 低输入偏置电流：2pA
- 优异的抗噪性能：
 - 极低的电压噪声：7 nV/ $\sqrt{\text{Hz}}$
 - 极低的电流噪声：0.8 fA/ $\sqrt{\text{Hz}}$
- 输入电压范围包括 V_{-} 电源
- 单电源运作：4.5V 至 36V
- 双电源运作： $\pm 2.25\text{V}$ 至 $\pm 18\text{V}$

2 应用

- 模拟 I/O 模块
- 电池供电仪器
- 工业控制
- 医疗仪表
- 光电二极管放大器
- 有源滤波器
- 数据采集系统
- 自动测试系统

OPA145 的非常适用于 16 位 100kSPS 全差分互阻抗成像应用



3 说明

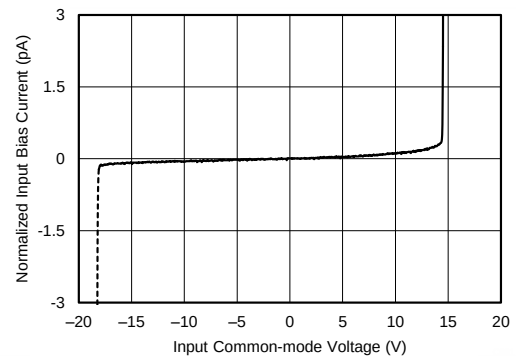
OPA145 运算放大器是一款低功耗 JFET 输入放大器，具有多种特性，其出色的温漂、低电流噪声和皮安级输入偏置电流等特性使得该器件非常适合用于放大高阻抗传感器的小信号。轨至轨输出摆幅可连接至现代单电源精密模数转换器 (ADCs) 和数模转换器 (DACs)。此外，包括 V_{-} 的输入范围可以让设计人员简化电源管理并充分利用单电源低噪声 JFET 架构。

器件信息⁽¹⁾

器件型号	封装	封装尺寸（标称值）
OPA145	SOIC (8)	4.90mm × 3.91mm
	VSSOP (8)（预览）	3.00mm × 3.00mm
	SOT-23 (5)（预览）	2.90mm × 1.60mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

OPA145 精密 JFET 技术可提供出色的线性输入阻抗



目录

1	特性	1	8.4	器件功能模式	21
2	应用	1	9	以下一些应用中	22
3	说明	1	9.1	应用信息	22
4	修订历史记录	2	9.2	典型应用	22
5	器件比较表	3	9.3	系统示例	23
6	引脚配置和功能	3	10	电源建议	24
7	规格	4	11	布局	26
7.1	绝对最大额定值	4	11.1	布局指南	26
7.2	ESD 额定值	4	11.2	布局示例	27
7.3	建议运行条件	4	12	器件和文档支持	28
7.4	热性能信息: OPA145	4	12.1	器件支持	28
7.5	电气特性: $V_S = 4.5V$ 至 $36V$; $\pm 2.25V$ 至 $\pm 18V$	5	12.2	文档支持	28
7.6	典型特性	7	12.3	接收文档更新通知	28
7.7	典型特性	8	12.4	社区资源	28
8	详细 说明	15	12.5	商标	29
8.1	概述	15	12.6	静电放电警告	29
8.2	功能框图	15	12.7	术语表	29
8.3	特性 说明	16	13	机械、封装和可订购信息	29

4 修订历史记录

注：之前版本的页码可能与当前版本有所不同。

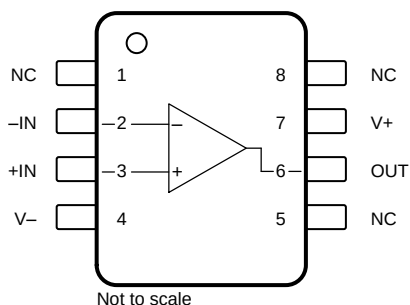
Changes from Original (June 2017) to Revision A	Page
• 已添加 DBV 和 DGK 封装预览；删除了与未来器件发布相关的内容	1

5 器件比较表

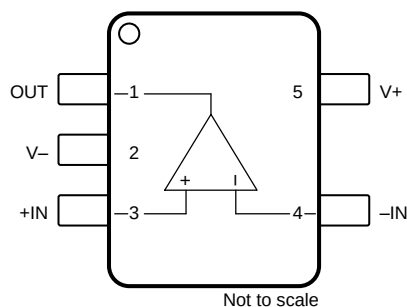
特性	产品
低功耗 10MHz FET 输入工业运算放大器	OPA140 :
采用 SOT-23 封装的 2.2nV/√Hz 低功耗 36V 运算放大器	OPA209
低噪声、高精度、22MHz、4nV/√Hz JFET 输入运算放大器	OPA827
低噪声、低 I _Q 高精度 CMOS 运算放大器	OPA376
低功耗、高精度、CMOS、轨至轨输入/输出、低失调电压、低偏置运算放大器	OPA191

6 引脚配置和功能

OPA145 : D 和 DGK (预览) 封装
8 引脚 SOIC , 8 引脚 VSSOP
俯视图



OPA145 : DBV 封装 (预览)
5 引脚 SOT-23
俯视图



引脚功能 : OPA145

名称	OPA145		I/O	说明
	D (SOIC)、 DGK (VSSOP)、	DBV (SOT-23)		
-IN	2	4	I	反相输入
+IN	3	3	I	同相输入
NC	1、5、8	—	—	没有与内部电路连接 (可以悬空)
OUT	6	1	O	Output
V-	4	2	—	负电源 (最低)
V+	7	5	—	正电源 (最高)

7 规格

7.1 绝对最大额定值

在自然通风温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
电源电压, [(V+) – (V–)]	双电源		±20	V
	单电源		40	
信号输入引脚 ⁽²⁾	电压	(V–) – 0.5	(V+) + 0.5	mA
	电流		±10	
输出短路 ⁽³⁾		持续		
工作温度, T _A		-55	150	°C
结温, T _J			150	
贮存温度, T _{stg}		-65	150	

(1) 应力超出绝对最大额定值下列出的值有可能会对器件造成永久损坏。这些仅为在极端额定值下的工作情况，这不表示在这些条件下以及其它在超出推荐的操作条件下的任何其它操作时，器件能够功能性运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

(2) 输入引脚被二极管钳制至电源轨。摆幅超过电源轨 0.5V 的输入信号的电流必须限制在 10mA 或者更少。

(3) 对 V_S/2（对称双电源设置中的接地点）短路，每个封装对应一个放大器。

7.2 ESD 额定值

		值	单位
V _(ESD) 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	2000	V
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	750	

(1) JEDEC 文档 JEP155 规定：500V HBM 能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

7.3 建议运行条件

在自然通风温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V _S 电源电压, [(V+) – (V–)]	双电源	±2.25	±15	±18	V
	单电源	4.5	30	36	
T _A 环境温度		-40	25	125	°C

7.4 热性能信息：OPA145

热指标		OPA145			单位
		D (SOIC)	DGK (VSSOP)	DBV (SOT)	
		8 引脚	8 引脚	5 引脚	
R _{θJA}	结至环境热阻	136	143	205	°C/W
R _{θJC(top)}	结至外壳（顶部）热阻	74	47	200	°C/W
R _{θJB}	结至电路板热阻	62	64	113	°C/W
Ψ _{JT}	结至顶部特征参数	19.7	5.3	38.2	°C/W
Ψ _{JB}	结至电路板特征参数	54.8	62.8	104.9	°C/W
R _{θJC(bot)}	结至外壳（底部）热阻	不适用	不适用	不适用	°C/W

7.5 电气特性：V_S = 4.5V 至 36V；±2.25V 至 ±18V

T_A = 25°C，R_L = 2kΩ 连接至中间电源，且 V_{CM} = V_{OUT} = 中间电源（除非另外说明）

参数		测试条件	最小值	典型值	最大值	单位
失调电压						
V _{OS}	失调电压，RTI	V _S = ±18V		±40	±150	μV
		V _S = ±18V，T _A = 0°C 至 +85°C			±280	
		V _S = ±18V，T _A = -40°C 至 +125°C			±350	
dV _{OS} /dT	漂移	V _S = ±18V，T _A = 0°C 至 +85°C		±0.4	±1	μV/°C
		V _S = ±18V，T _A = -40°C 至 +125°C		±0.5	±1.4	
PSRR	电源抑制比	V _S = ±2.25V 至 ±18V		±0.06	±0.3	μV/V
		V _S = ±2.25V 至 ±18V， T _A = −40°C 至 +125°C			±2	
输入偏置电流 ⁽¹⁾						
I _B	输入偏置电流			±2	±10	pA
		T _A = 0°C 至 +85°C			±600	
		T _A = -40°C 至 +125°C			±10	nA
I _{OS}	输入偏移电流			±2	±10	pA
		T _A = 0°C 至 +85°C			±600	
		T _A = -40°C 至 +125°C			±10	nA
噪声						
	输入电压噪声	f = 0.1Hz 至 10Hz		320		nV _{PP}
		f = 0.1Hz 至 10Hz		60		nV _{RMS}
e _n	输入电压噪声密度	f = 10Hz		9		nV/√Hz
		f = 100Hz		7.2		
		f = 1kHz		7		
I _n	输入电流噪声密度	f = 1kHz		0.8		fA/√Hz
输入电压范围						
V _{CM}	共模电压范围	T _A = -40°C 至 +125°C	(V−) − 0.1		(V+)−3.5	V
CMRR	共模抑制比	V _S = ±18V，V _{CM} = (V−) −0.1V 至 (V+) − 3.5V	126	140		dB
		V _S = ±18V，V _{CM} = (V−) −0.1V 至 (V+) − 3.5V， T _A = −40°C 至 +125°C	118			
输入阻抗						
	差分			10 ¹³ 5.0		Ω pF
	共模	V _{CM} = (V−) −0.1V 至 (V+) −3.5V		10 ¹³ 4.3		
开环增益						
A _{OL}	开环电压增益	V _O = (V−) + 0.35V 至 (V+) − 0.35V，R _L = 10kΩ	118	123		dB
		V _O = (V−) + 0.35V 至 (V+) − 0.35V，R _L = 2kΩ	106	110		
		V _O = (V−) + 0.35V 至 (V+) − 0.35V，R _L = 2kΩ，T _A = −40°C 至 +125°C	102			

(1) 高速测试，T_A = T_J。

OPA145

ZHCSGC1A – JUNE 2017 – REVISED MARCH 2018

www.ti.com.cn
电气特性：V_S = 4.5V 至 36V；±2.25V 至 ±18V (continued)

 T_A = 25°C, R_L = 2kΩ 连接至中间电源, 且 V_{CM} = V_{OUT} = 中间电源 (除非另外说明)

参数			测试条件	最小值	典型值	最大值	单位
频率响应							
BW	增益带宽积		G = 100		5.5		MHz
φ _M	相位裕度		G = 1 , C _L = 10pF		78		°
SR	压摆率				20		V/μs
	建立时间	12 位	10V 阶跃, G = +1		1.6		μs
		16 位	10V 阶跃, G = +1		6		
THD+N	总谐波失真和噪声		1kHz, G = +1 , V _O = 3.5V _{RMS}		0.0001%		
	过载恢复时间				600		ns
输出							
	线性输出电压摆幅范围		R _L = 10kΩ , A _{OL} ≥ 108dB , T _A = -40°C 至 +125°C (参阅图 24 和图 25)	(V-) + 0.1		(V+) - 0.1	V
			R _L = 2kΩ , A _{OL} ≥ 108dB , T _A = -40°C 至 +125°C (参阅图 24 和图 25)	(V-) + 0.3		(V+) - 0.3	
V _O	自电源轨的电压输出摆幅		R _L = 10kΩ			75	mV
			R _L = 10kΩ , T _A = -40°C 至 +125°C			90	
			R _L = 2kΩ			210	
			R _L = 2kΩ , T _A = -40°C 至 +125°C			250	
I _{SC}	短路电流				±20		mA
C _{LOAD}	容性负载驱动				参阅图 27		
R _O	开环输出阻抗		f = 1MHz , I _O = 0mA (参阅图 26)		150		Ω
电源							
V _S	额定电压范围			±2.25		±18	V
I _Q	静态电流 (每个放大器)		I _O =0mA		445	475	μA
			T _A = 0°C 至 +85°C			590	
			T _A = -40°C 至 +125°C			655	
温度范围							
	额定值			-40		125	°C
	工作温度			-55		150	°C

7.6 典型特性

表 1. 图形列表

说明	图表
失调电压产生分布图	图 1
失调电压漂移分布图 (–40°C 至 +125°C)	图 2
输入偏置电流产生分布图	图 3
输入失调电流产生分布	图 4
失调电压与温度间的关系	图 5
失调电压与共模电压间的关系	图 6
失调电压与电源间的关系	图 7
开环增益和相位与频率间的关系	图 8
闭环增益与频率间的关系	图 9
输入偏置电流与共模电压间的关系	图 10
输入偏置电流和失调与温度间的关系	图 11
输出电压摆幅与输出电流间的关系 (最大电源电压)	图 12
CMRR 和 PSRR 与频率间的关系	图 13
CMRR 与温度间的关系	图 14
PSRR 与温度间的关系	图 15
0.1Hz 至 10Hz 电压噪声	图 16
输入电压噪声频谱密度与频率间的关系	图 17
THD+N 比与频率间的关系	图 18
THD+N 与输出振幅间的关系	图 19
静态电流与电源电压间的关系	图 20
静态电流与温度间的关系	图 21
开环增益与温度间的关系 (10kΩ)	图 22
开环增益与温度间的关系 (2kΩ)	图 23
直流开环增益与相对于电源的输出电压摆幅间的关系	图 24, 图 25
开环输出阻抗与频率间的关系	图 26
小信号过冲与容性负载间的关系 (10mV 阶跃)	图 27
无相位反转	图 28
正过载恢复	图 29
负过载恢复	图 30
小信号阶跃响应 (10mV 阶跃)	图 31, 图 32
大信号阶跃响应 (10V 阶跃)	图 33, 图 34
建立时间	图 35
短路电流与温度间的关系	图 36
最大输出电压与频率间的关系	图 37
EMIRR 与频率间的关系	图 38

7.7 典型特性

$T_A = 25^\circ\text{C}$, $V_S = \pm 18\text{V}$, $V_{CM} = V_S/2$, $R_{LOAD} = 10\text{k}\Omega$ 连接至 $V_S/2$, 且 $C_L = 100\text{pF}$ (除非另外说明)

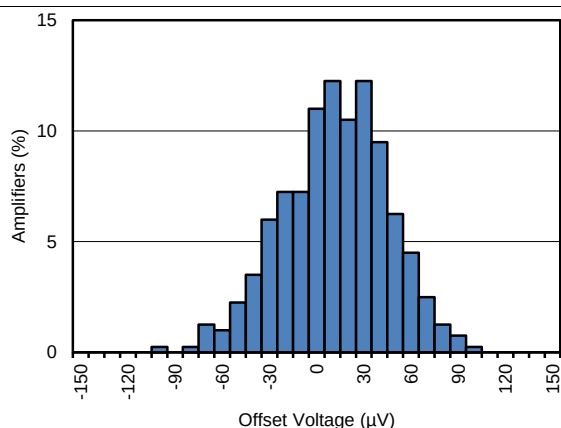


图 1. 失调电压产生分布图

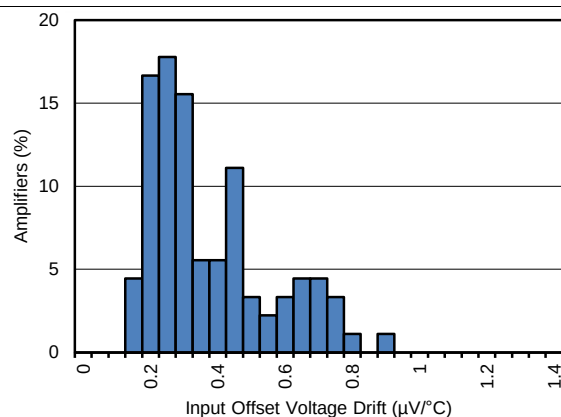


图 2. 失调电压漂移分布图
(-40°C 至 $+125^\circ\text{C}$)

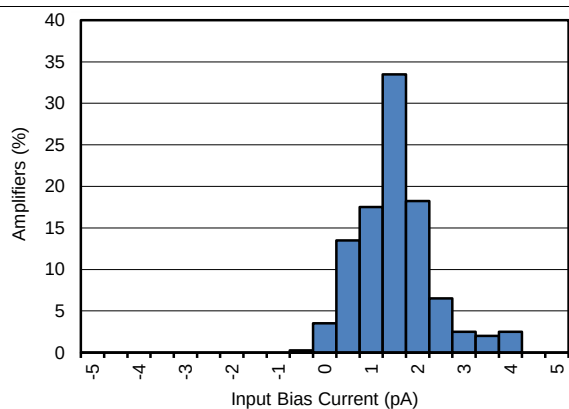


图 3. 输入偏置电流产生分布图

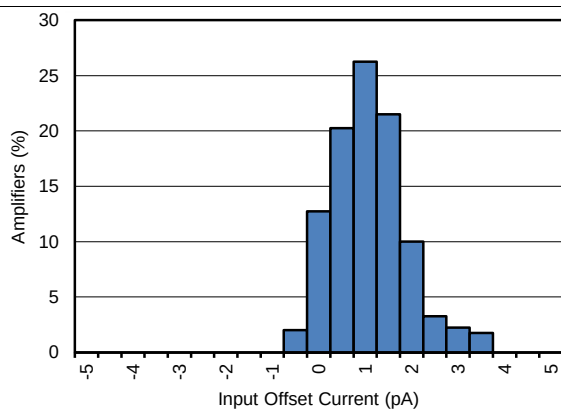


图 4. 输入失调电流产生分布

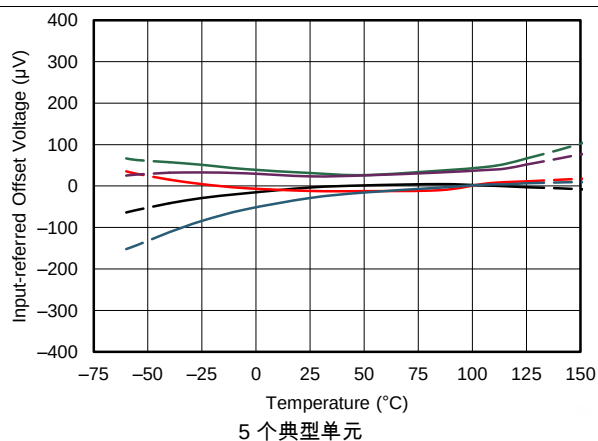


图 5. 失调电压与温度间的关系

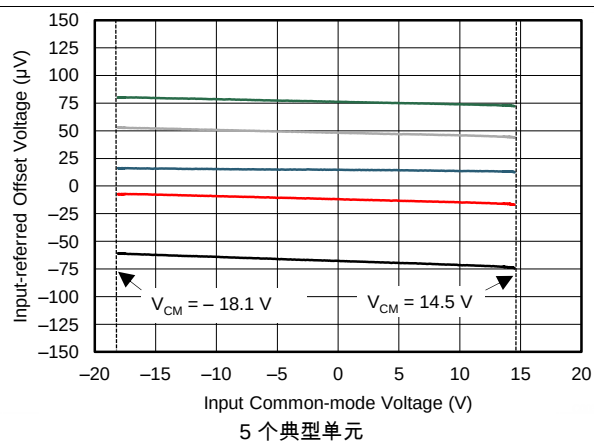


图 6. 失调电压与共模电压间的关系

典型特性 (接下页)

$T_A = 25^\circ\text{C}$, $V_S = \pm 18\text{V}$, $V_{CM} = V_S/2$, $R_{LOAD} = 10\text{k}\Omega$ 连接至 $V_S/2$, 且 $C_L = 100\text{pF}$ (除非另外说明)

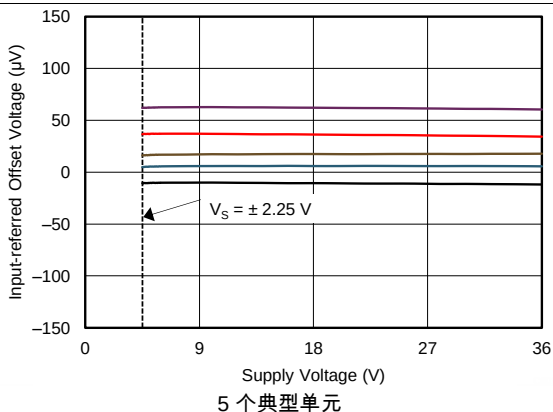


图 7. 失调电压与电源电压间的关系

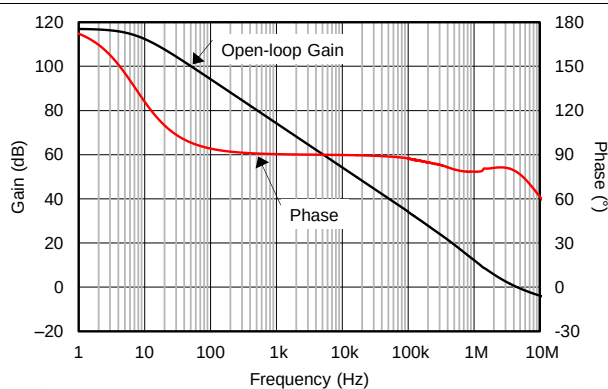


图 8. 开环增益和相位与频率间的关系

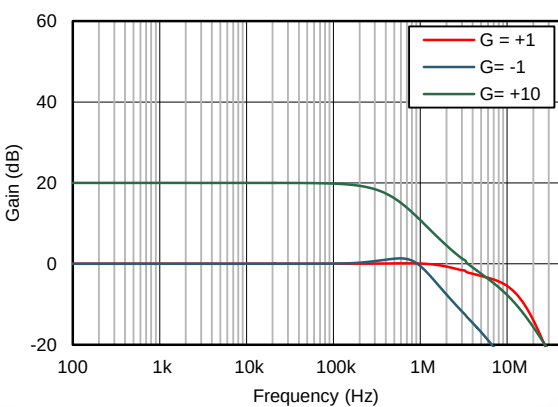


图 9. 闭环增益与频率间的关系

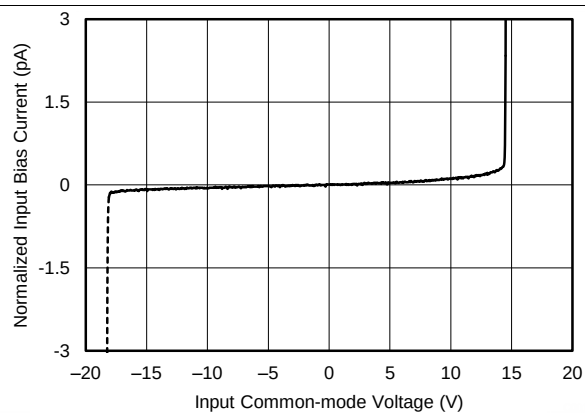


图 10. 输入偏置电流与共模电压间的关系

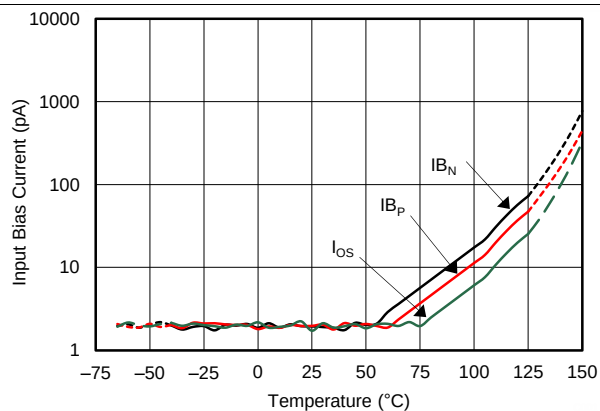


图 11. 输入偏置电流和失调与温度间的关系

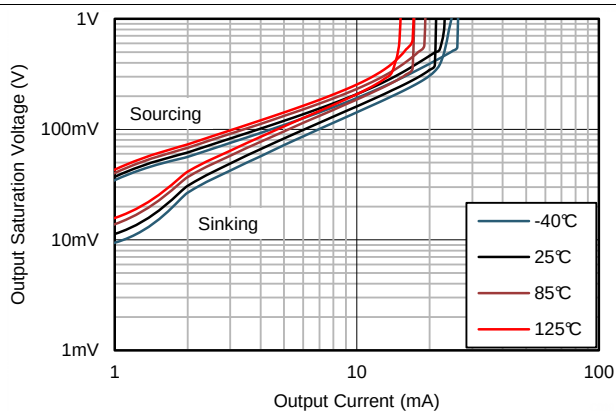


图 12. 输出电压摆幅与输出电流间的关系 (最大电源电压)

典型特性 (接下页)

$T_A = 25^\circ\text{C}$, $V_S = \pm 18\text{V}$, $V_{CM} = V_S/2$, $R_{LOAD} = 10\text{k}\Omega$ 连接至 $V_S/2$, 且 $C_L = 100\text{pF}$ (除非另外说明)

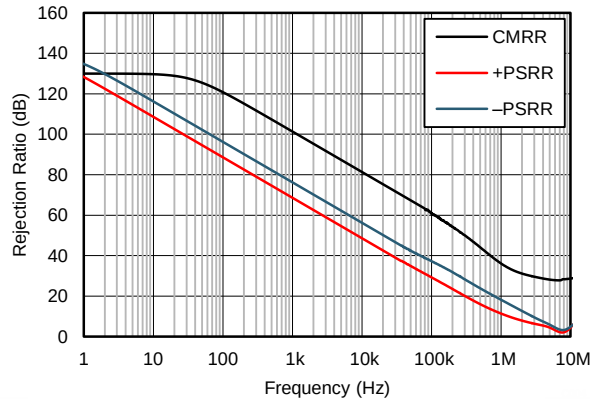


图 13. CMRR 和 PSRR 与频率间的关系

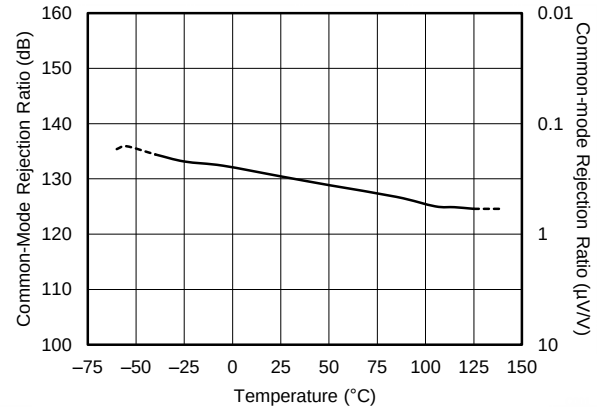


图 14. CMRR 与温度间的关系

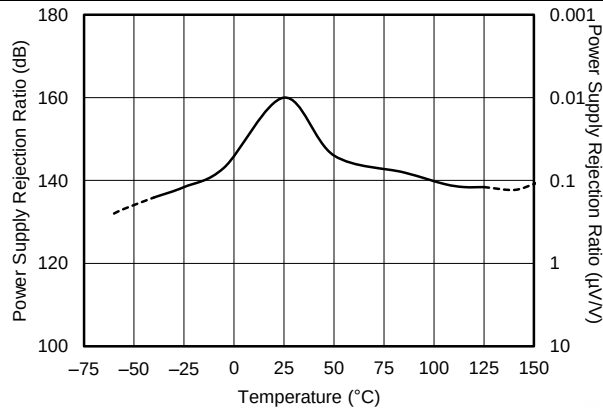


图 15. PSRR 与温度间的关系

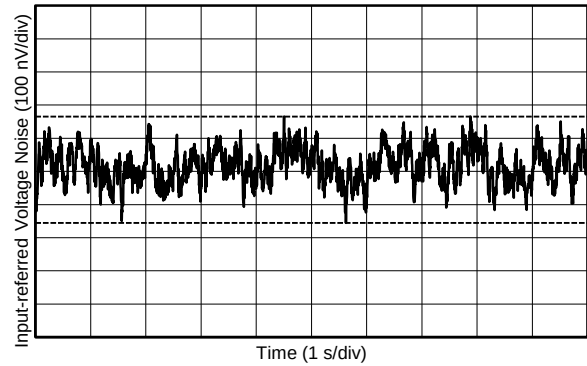


图 16. 0.1Hz 至 10Hz 电压噪声

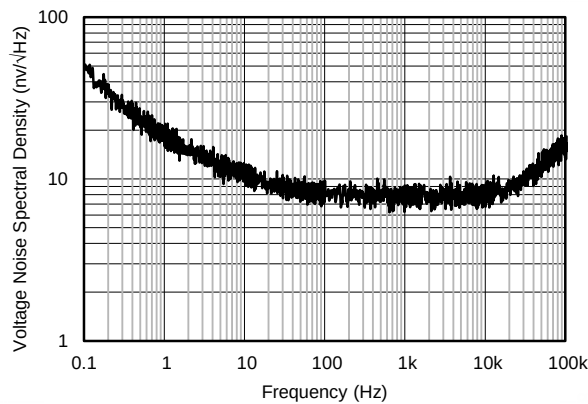


图 17. 输入电压噪声频谱密度与频率间的关系

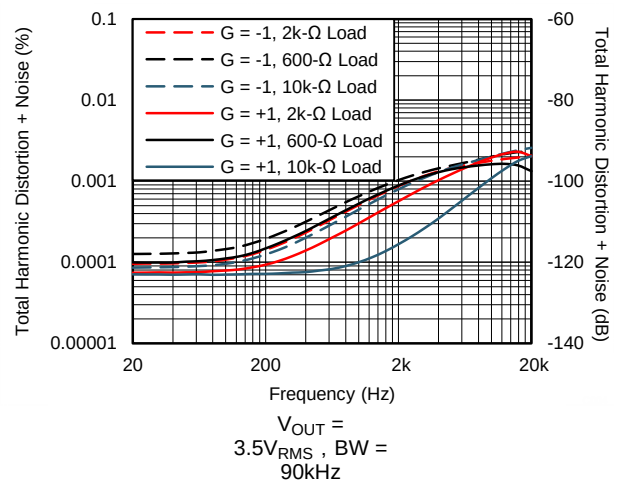


图 18. THD+N 比与频率间的关系

典型特性 (接下页)

$T_A = 25^\circ\text{C}$, $V_S = \pm 18\text{V}$, $V_{CM} = V_S/2$, $R_{LOAD} = 10\text{k}\Omega$ 连接至 $V_S/2$, 且 $C_L = 100\text{pF}$ (除非另外说明)

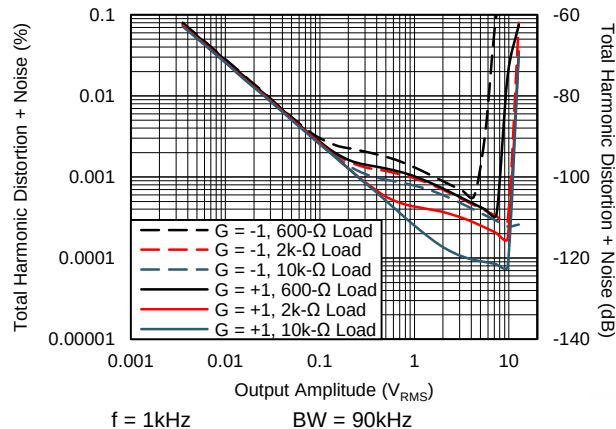


图 19. THD+N 与输出振幅间的关系

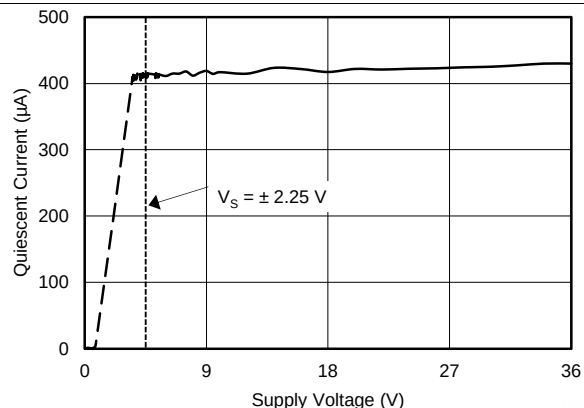


图 20. 静态电流与电源电压间的关系

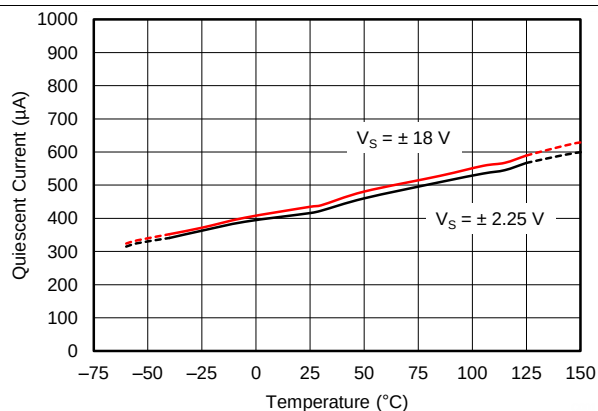


图 21. 静态电流与温度间的关系

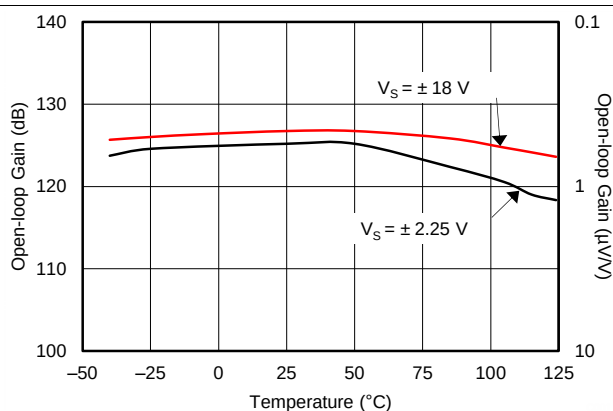


图 22. 开环增益与温度间的关系
(10kΩ 负载)

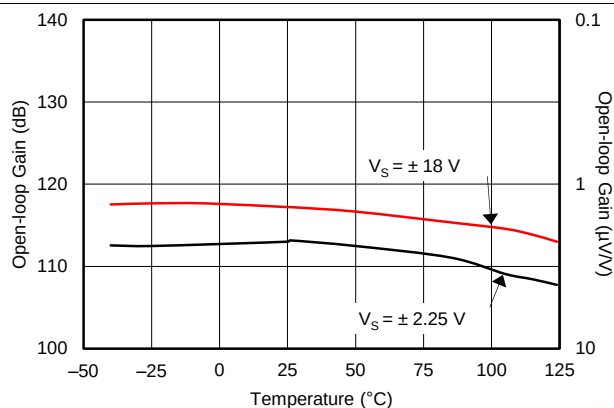


图 23. 开环增益与温度间的关系
(2kΩ 负载)

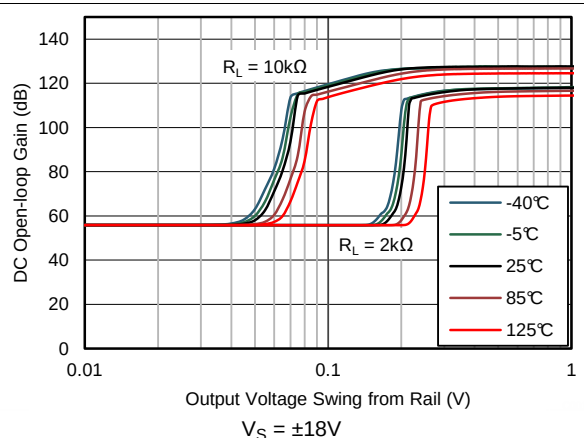


图 24. 开环增益与相对于电源的输出电压摆幅间的关系

典型特性 (接下页)

$T_A = 25^\circ\text{C}$, $V_S = \pm 18\text{V}$, $V_{CM} = V_S/2$, $R_{LOAD} = 10\text{k}\Omega$ 连接至 $V_S/2$, 且 $C_L = 100\text{pF}$ (除非另外说明)

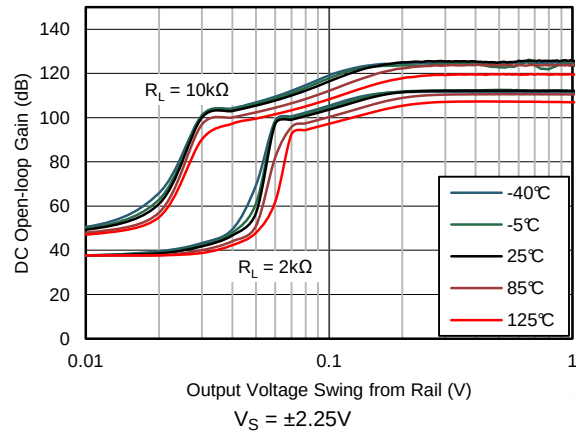


图 25. 开环增益与相对于电源的输出电压摆幅间的关系

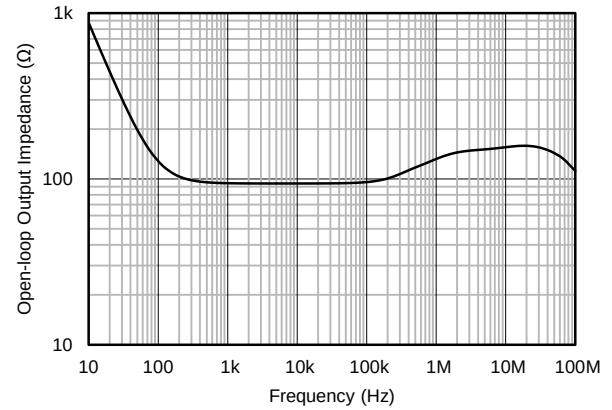


图 26. 开环输出阻抗与频率间的关系

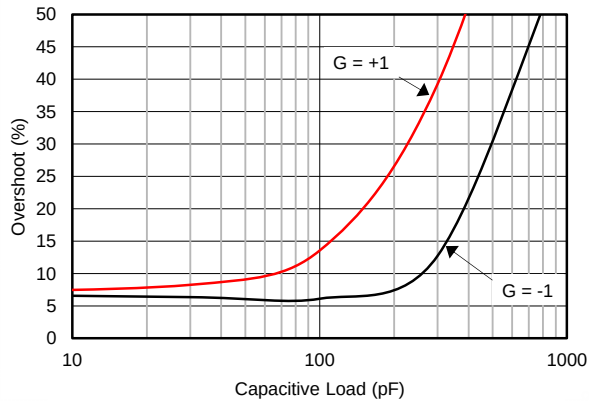


图 27. 小信号过冲与容性负载间的关系 (10mV 阶跃)

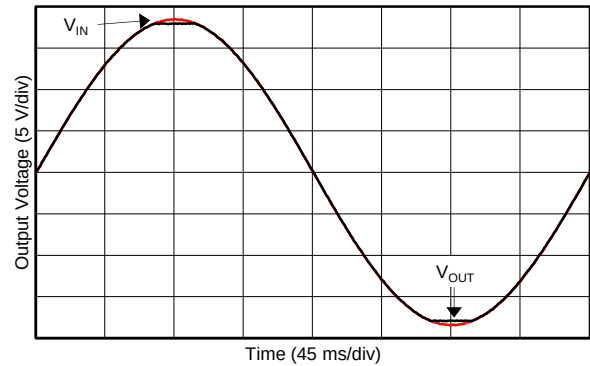


图 28. 无相位反转

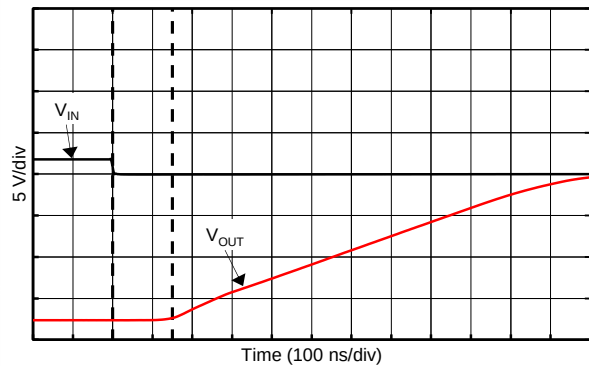


图 29. 正过载恢复

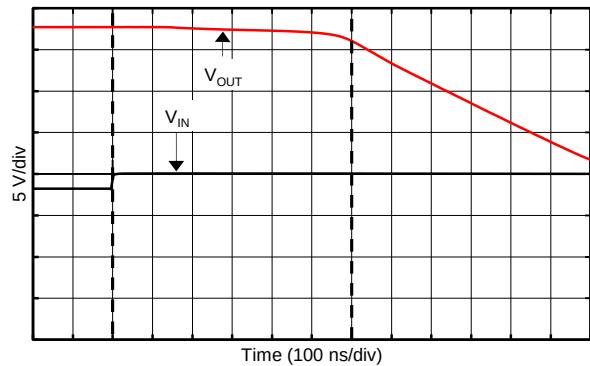
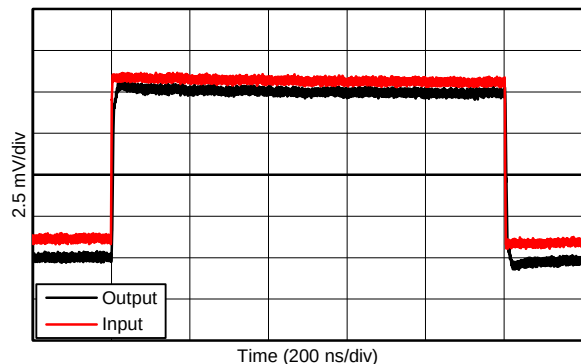


图 30. 负过载恢复

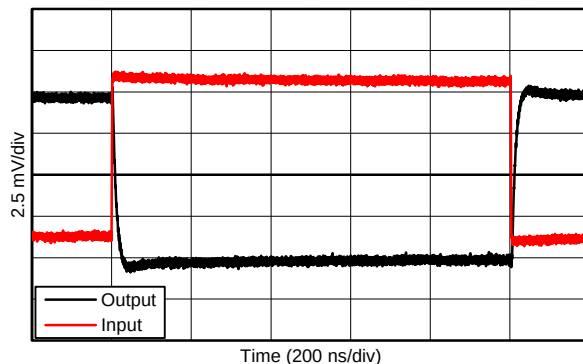
典型特性 (接下页)

$T_A = 25^\circ\text{C}$, $V_S = \pm 18\text{V}$, $V_{CM} = V_S/2$, $R_{LOAD} = 10\text{k}\Omega$ 连接至 $V_S/2$, 且 $C_L = 100\text{pF}$ (除非另外说明)



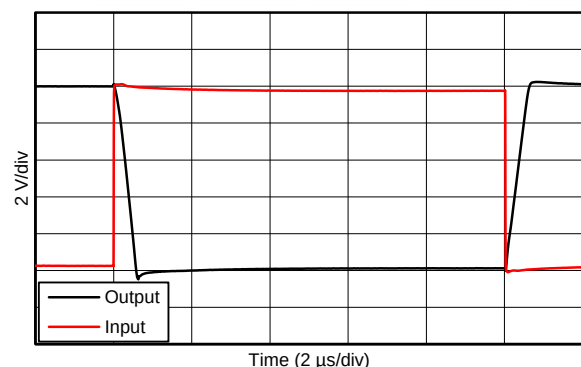
$G = +1$

图 31. 小信号阶跃响应 (10mV 阶跃)



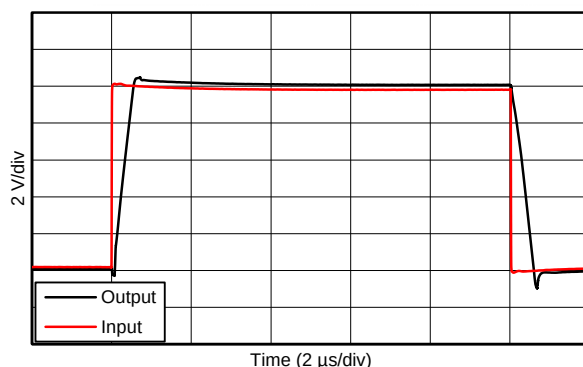
$G = -1$

图 32. 小信号阶跃响应 (10mV 阶跃)



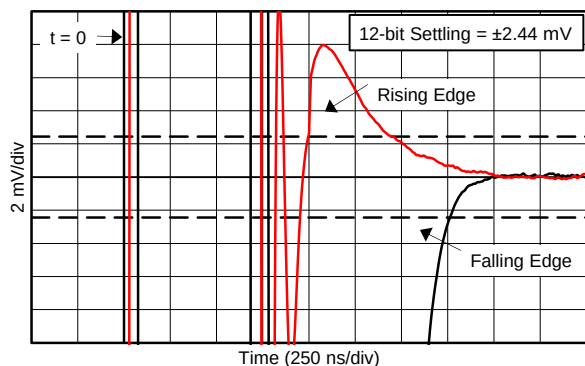
$G = -1$

图 33. 大信号阶跃响应 (10V 阶跃)



$G = +1$

图 34. 大信号阶跃响应 (10V 阶跃)



12 位稳定 (10V 阶跃) = $\pm 2.44\text{mV}$

图 35. 建立时间 (10V 阶跃)

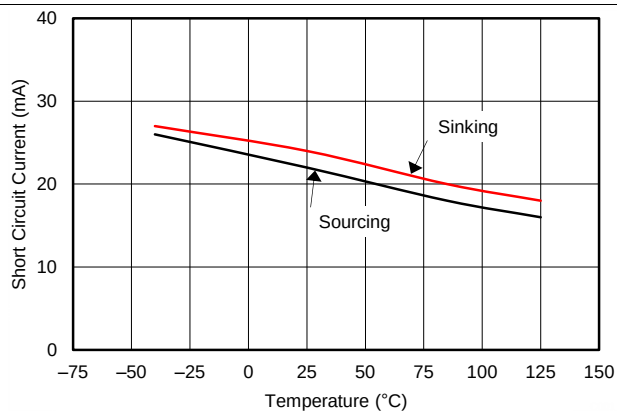


图 36. 短路电流与温度间的关系

OPA145

ZHCSGC1A–JUNE 2017–REVISED MARCH 2018

www.ti.com.cn

典型特性 (接下页)

$T_A = 25^\circ\text{C}$, $V_S = \pm 18\text{V}$, $V_{CM} = V_S/2$, $R_{LOAD} = 10\text{k}\Omega$ 连接至 $V_S/2$, 且 $C_L = 100\text{pF}$ (除非另外说明)

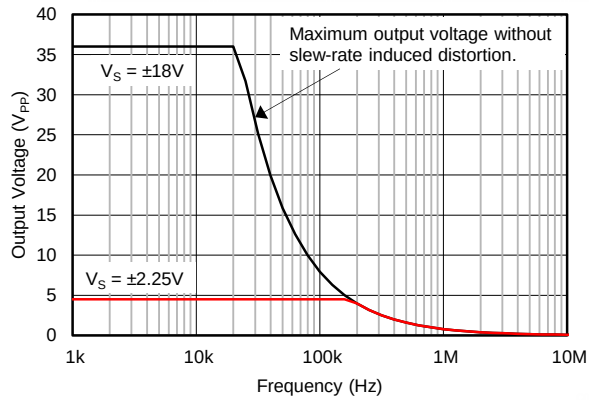


图 37. 最大输出电压幅度与频率间的关系

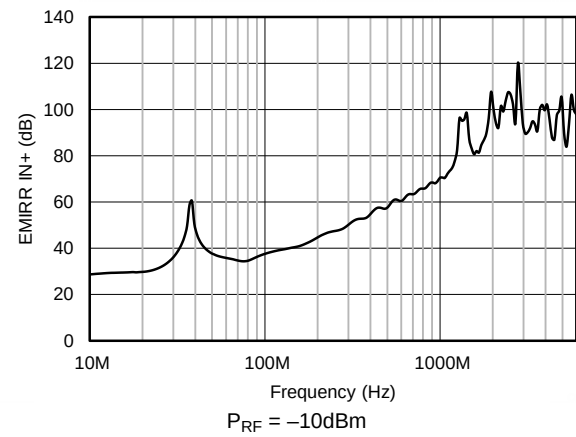


图 38. EMIRR 与频率间的关系

8 详细 说明

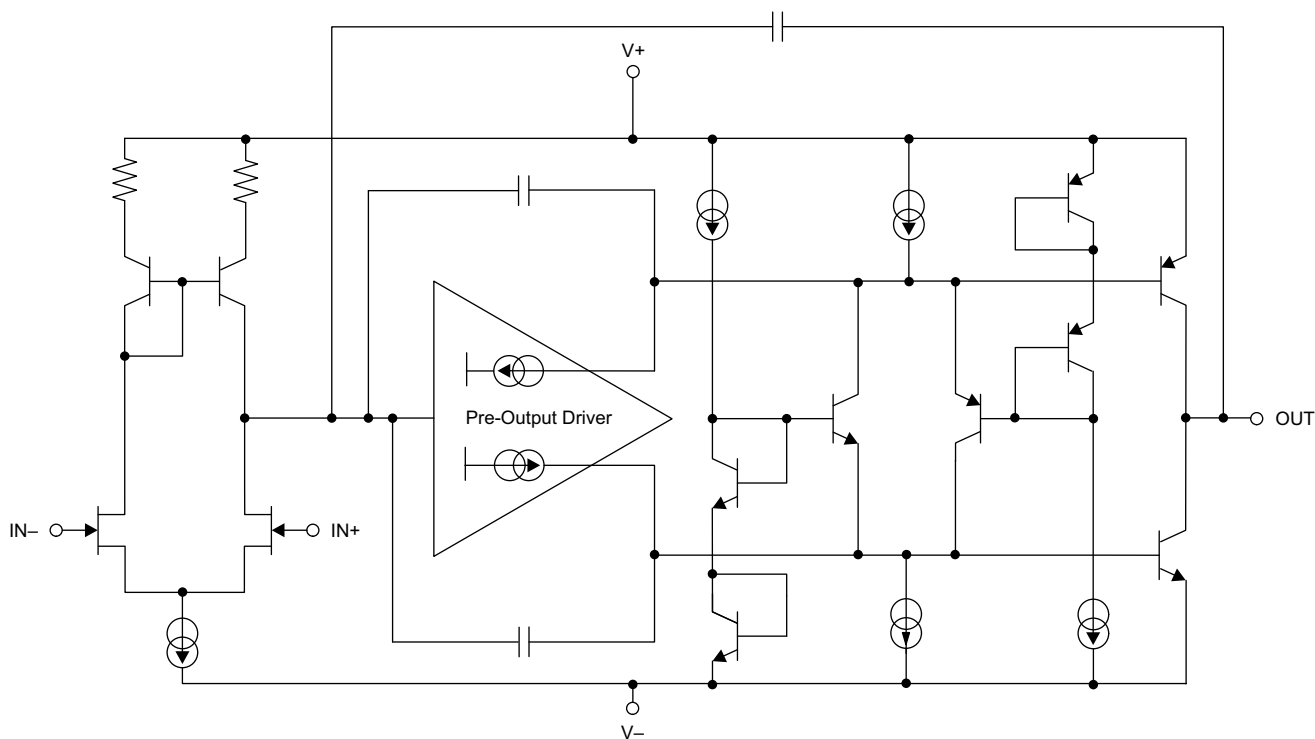
8.1 概述

OPA145 器件是低功耗 JFET 输入放大器，其 具有 出色的漂移性能和低输入偏置电流。凭借其包括 V_- 在内的轨至轨输出摆幅和输入范围，设计人员可以利用 JFET 放大器的低噪声特性的同时，将放大器连接到最新的单电源高精度模数转换器 (ADC) 和数模转换器 (DAC)。OPA145 器件可实现 5.5MHz 的增益带宽积和 $20V/\mu s$ 的压摆率，并且仅消耗 $445\mu A$ (典型值) 的静态电流，非常适合低功耗 设计。此器件由 4.5V 至 36V 单电源或 $\pm 2.25V$ 至 $\pm 18V$ 双电源供电。

OPA145 器件的额定工作温度范围为 $-40^{\circ}C$ 至 $+125^{\circ}C$ ，可用于最具挑战性的环境和采用 5 引脚 SOT-23 封装、8 引脚 VSSOP 封装、和 8 引脚 SOIC 封装

[功能框图](#) 显示了 OPA145 的简单示意图。

8.2 功能框图



Copyright © 2017, Texas Instruments Incorporated

8.3 特性说明

8.3.1 工作电压

OPA145 运算放大器可在单电源或双电源下正常运行，其工作电压范围为 $V_S = 4.5V (\pm 2.25V)$ 至 $V_S = 36V (\pm 18V)$ 。该器件不需要对称电源；它只需要 $4.5V (\pm 2.25V)$ 的最小电源电压。对于小于 $\pm 3.5V$ 的 V_S ，共模输入范围不包括中间电源。电源电压超过 $40V$ 可能会对器件造成永久损坏；请参阅 [绝对最大额定值表](#)。主要参数的额定值是在工作温度范围 $T_A = -40^\circ C$ 至 $+125^\circ C$ 内测得的。随电源电压、温度范围或频率而变化的主要参数如 [典型特性](#) 所示。

8.3.2 容性负载和稳定性

OPA145 的动态特性针对常见增益、负载和工作条件进行了优化。低闭环增益和高电容负载的组合减少了放大器的相位裕量并可导致增益降低或振荡。因此，高容性负载必须与输出隔离。实现此隔离的最简单的方法就是增加一个与输出串联的小电阻器（例如， $R_{OUT} = 50\Omega$ ）。

[图 27](#) 显示了多个容性负载对小信号过冲的影响。有关分析技巧和应用电路的详细信息，请参阅 [《反馈曲线图定义运算放大器交流性能》](#)，可以从 [TI 网站](#) 下载该文档。

8.3.3 输出电流限制

OPA145 器件的输出电流被内部电路限制在 $+20mA/-20mA$ 范围内（灌电流/拉电流），以便在输出意外短路时保护器件。该短路电流取决于具体的温度，如 [图 36](#) 所示。

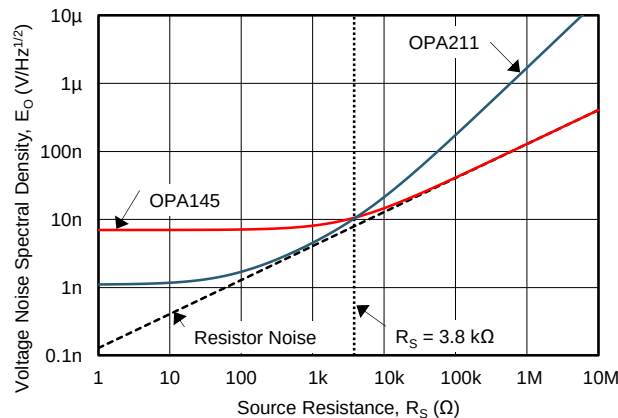
8.3.4 噪声性能

[图 39](#) 所示为采用单位增益配置的运算放大器在使用不同源阻抗时的总电路噪声（无反馈电阻器网络，因此不产生额外的噪声）。图中显示了 OPA145 和 OPA211，并计算了总电路噪声。运算放大器本身能够产生电压噪声分量和电流噪声分量。电压噪声通常按失调电压时变分量建模。电流噪声则按输入偏置电流时变分量建模，并根据不同的源阻抗生成一个噪声电压分量。因此，特定应用中运算放大器的最低噪声取决于源阻抗。源阻抗较低时，电流噪声可忽略不计，电压噪声占主导。由于运算放大器采用 FET 输入，OPA145 器件兼具低电压噪声和极低电流噪声。因此，OPA145 系列产生的电流噪声影响对于任何实际的源阻抗而言，都可以忽略不计，这使得它成为高源阻抗应用的更好选择。

[图 39](#) 所示为总电路噪声计算公式，相关参数如下：

- e_n = 电压噪声
- i_n = 电流噪声
- R_S = 源阻抗
- k = 玻尔兹曼常数 $= 1.38 \times 10^{-23} J/K$
- T = 开氏温度 (K)

有关计算噪声的更多详细信息，请参阅 [基本噪声计算](#)。



$R_S = 3.8k\Omega$ (如 [图 39](#) 所示)。

在此源阻抗的基础上，OPA145 比 OPA211 具有更低的噪声。

图 39. 采用单位增益缓冲器配置的 OPA145 和 OPA211 的噪声性能

特性 说明 (接下页)

8.3.5 基本噪声计算

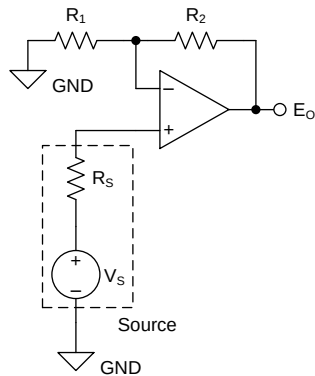
低噪声电路设计需要仔细分析所有噪声源。外部噪声源在很多情况下可能占主导地位；应考虑源阻抗对整体运算放大器噪声性能的影响。电路总噪声是所有噪声分量的平方和根值。

源阻抗的电阻部分产生的热噪声与电阻的方根成正比。图 39 显示了该函数。源阻抗通常为固定值；因此，需通过选择运算放大器和反馈电阻来最大限度降低总噪声的相应分量。

图 40 显示了同相 (A) 和反相 (B) 运算放大器的增益配置电路。在增益配置电路中，反馈网络电阻也会产生噪声。通常情况下，运算放大器的电流噪声会与反馈电阻器产生反应，进而产生额外的噪声分量。但是，OPAx145 极低的电流噪声意味着它产生的电流噪声可以忽略不计。

一般可通过选择合适的反馈电阻值使这个噪声源降低至可以忽略。低阻抗反馈电阻可负载放大器的输出。以下为两种配置的总噪声计算公式。

(A) Noise in Noninverting Gain Configuration



Noise at the output is given as E_O , where

$$(1) \quad E_O = \left(1 + \frac{R_2}{R_1}\right) \cdot \sqrt{(e_S)^2 + (e_N)^2 + (e_{R_1 \parallel R_2})^2 + (i_N \cdot R_S)^2 + \left(i_N \cdot \left[\frac{R_1 \cdot R_2}{R_1 + R_2}\right]\right)^2} \quad [V_{RMS}]$$

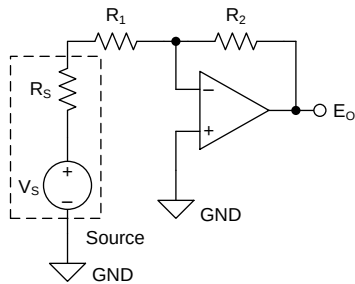
$$(2) \quad e_S = \sqrt{4 \cdot k_B \cdot T(K) \cdot R_S} \quad \left[\frac{V}{\sqrt{Hz}}\right] \quad \text{Thermal noise of } R_S$$

$$(3) \quad e_{R_1 \parallel R_2} = \sqrt{4 \cdot k_B \cdot T(K) \cdot \left[\frac{R_1 \cdot R_2}{R_1 + R_2}\right]} \quad \left[\frac{V}{\sqrt{Hz}}\right] \quad \text{Thermal noise of } R_1 \parallel R_2$$

$$(4) \quad k_B = 1.38065 \cdot 10^{-23} \quad \left[\frac{J}{K}\right] \quad \text{Boltzmann Constant}$$

$$(5) \quad T(K) = 237.15 + T(^{\circ}C) \quad [K] \quad \text{Temperature in kelvins}$$

(B) Noise in Inverting Gain Configuration



Noise at the output is given as E_O , where

$$(6) \quad E_O = \left(1 + \frac{R_2}{R_S + R_1}\right) \cdot \sqrt{(e_N)^2 + (e_{R_1 + R_S \parallel R_2})^2 + \left(i_N \cdot \left[\frac{(R_S + R_1) \cdot R_2}{R_S + R_1 + R_2}\right]\right)^2} \quad [V_{RMS}]$$

$$(7) \quad e_{R_1 + R_S \parallel R_2} = \sqrt{4 \cdot k_B \cdot T(K) \cdot \left[\frac{(R_S + R_1) \cdot R_2}{R_S + R_1 + R_2}\right]} \quad \left[\frac{V}{\sqrt{Hz}}\right] \quad \text{Thermal noise of } (R_1 + R_S) \parallel R_2$$

$$(8) \quad k_B = 1.38065 \cdot 10^{-23} \quad \left[\frac{J}{K}\right] \quad \text{Boltzmann Constant}$$

$$(9) \quad T(K) = 237.15 + T(^{\circ}C) \quad [K] \quad \text{Temperature in kelvins}$$

Copyright © 2017, Texas Instruments Incorporated

- (1) e_N 是放大器的电压噪声。对于 OPA145 运算放大器， $e_N = 7\text{nV}/\sqrt{\text{Hz}}$ (1kHz 时)。
- (2) i_N 是放大器的电流噪声。对于 OPA145 运算放大器， $i_N = 0.8\text{fA}/\sqrt{\text{Hz}}$ (1kHz 时)。
- (3) 有关噪声计算的其他资源，请访问 [TI 高精度实验室系列](#)。

图 40. 增益配置噪声计算

特性说明 (接下页)

8.3.6 反相保护

OPA145 器件具有内部相位反转保护功能。当输入驱动超出线性共模范围时，许多 FET 和双极输入运算放大器会发生相位反转。这是同相电路中输入驱动超出额定共模电压范围时的最常见的现象，会导致输出反向进入相对电源轨。OPA145 器件的输入电路可防止共模电压过大时发生相位反转；相反，输出限制在适当的电源轨中（请参阅图 28）。

8.3.7 电气过载

设计人员经常会问到关于运算放大器承受电气过载能力的问题。这些问题的重点在于器件输入，但同时也会涉及电源引脚甚至是输出引脚。这些不同引脚功能的每一个功能具有由独特的半导体制造工艺和连接到引脚的特定电路确定的电气过载限值。此外，这些电路有内置的内部静电放电 (ESD) 保护来在产品组装之前和组装过程中保护此电路不受意外的 ESD 事件的影响。

能够充分了解该基本 ESD 电路及其与电气过载事件的关联性会有所帮助。请参阅图 41 了解 OPA145 器件中包含的 ESD 电路的图示（用虚线区域指示）。ESD 保护电路中涉及多个钳位二极管，这些二极管从输入和输出引脚方向连接回内部供电线路，并且均连接到运算放大器内的吸收器件。这种保护电路在电路正常工作时处于非活动状态。

一个 ESD 事件产生一个持续时间短、高电压脉冲，此脉冲在它经半导体器件放电时被转变成一个持续时间短、高电流脉冲。ESD 保护电路被设计成用来运算放大器周围的电流路径来防止其被损坏。保护电路吸收的能量将以热量形式耗散。

当两个或多个放大器器件引脚上产生 ESD 电压时，电流将流经一个或多个导流二极管。根据电流所选路径，吸收器件可能会激活。吸收器件具有触发或阈值电压，该电压高于 OPA145 的正常工作电压，但低于器件击穿电压电平。一旦超出该阈值，吸收器件会迅速激活并将电源轨上的电压钳制在安全的电平。

当运算放大器接入图 41 所示的这类电路后，ESD 保护组件将保持非活动状态，并且不参与应用电路运行。不过，如果施加的电压超过某个指定引脚的工作电压范围，可能会引起一些问题。如果这个情况出现，会存在一定的风险，某些内部 ESD 保护电路有可能被偏置而传导电流。此类电流都将流经钳位二极管路径，但很少涉及吸收器件。

图 41 给出了一个具体示例，其中输入电压 V_{IN} 高于正电源电压 ($+V_S$) 500mV 甚至更多。电路中将发生的具体情况取决于电源特性。如果 $+V_S$ 能够吸收电流，那么上面的一个输入钳位二极管就会导通，并将电流传导至 $+V_S$ 。越来越高的 V_{IN} 会带来过高的电流。因此，本数据表的规格建议应用将输入电流限制为 10mA。

如果电源无法灌电流， V_{IN} 就可能开始将电流拉至运算放大器，然后作为正电源电压源进行接管。这种情况比较危险，因为这个电压可能会升高到超出运算放大器的绝对最大额定值。

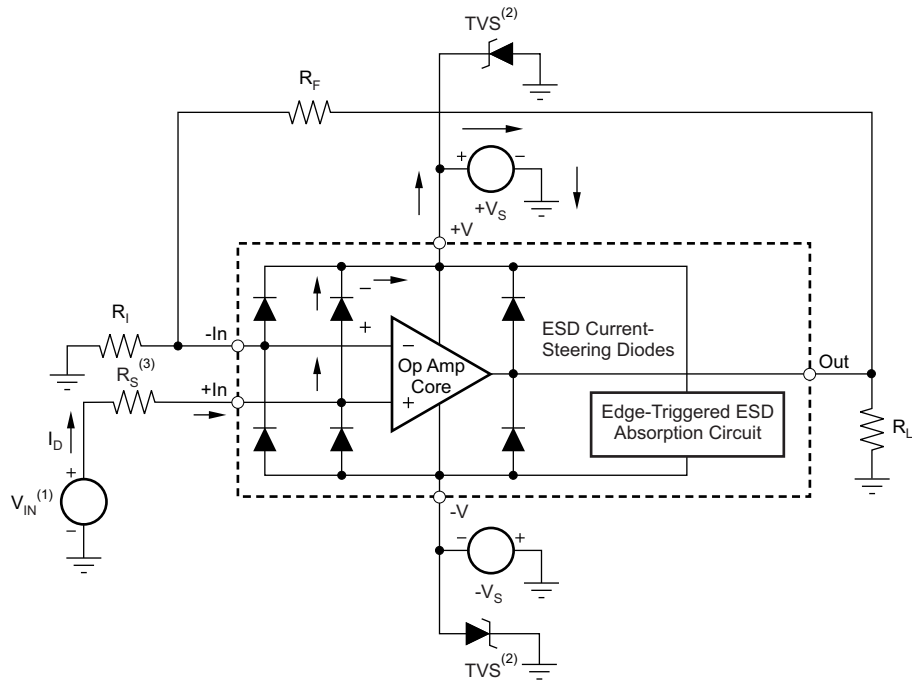
另一个常见问题是，如果在电源 $+V_S$ 或 $-V_S$ 为 0V 时向输入施加一个输入信号，放大器将如何响应。

同样，具体结果取决于电源在 0V 或低于输入信号幅值时的特性。如果电源呈现高阻抗状态，则运算放大器电源电流可由输入源通过导流二极管进行提供。但该状态并非正常偏置条件，放大器极有可能无法正常工作。如果电源表现为低阻态，则通过钳位二极管的电流将变得非常大。电流水平取决于输入源的供电能力以及输入路径中的所有电阻。

如果不确定电源对该电流的吸收能力，则可以在电源引脚处添加外部齐纳二极管，如图 41 中所示。必须正确选择齐纳电压，以便二极管不会在正常工作期间导通。

不过，齐纳电压必须足够低，以便齐纳二极管在电源引脚电压上升至超过安全工作电源电压水平时导通。

特性说明 (接下页)



- (1) $V_{IN} = +V_S + 500\text{mV}$ 。
- (2) TVS : $+V_{S(\text{max})} > V_{\text{TVSBR}(\text{min})} > +V_S$ 。
- (3) 建议值约为 $1\text{k}\Omega$ 。

图 41. 等效内部 ESD 电路及其与典型电路应用的关系

特性 说明 (接下页)

8.3.8 EMI 抑制

电磁干扰 (EMI) 抑制比 (EMIRR) 可用来描述运算放大器的 EMI 抗扰性。对许多运算放大器来说，射频信号整流会导致失调电压变化这一常见不利影响。如果一个运算放大器能更有效地抑制由 EMI 引起的失调电压变化，则需要该放大器会具有较高的 EMIRR（其大小通过分贝值来量化）。有多种方法可用来测量 EMIRR，但本部分提供的测量方法是 EMIRR IN+，当射频信号施加到运算放大器的同相输入引脚时，可使用该指标来专门描述 EMIRR 性能。通常来说，仅需对同相输入进行 EMIRR 测试，原因有以下三点：

- 众所周知，运算放大器输入引脚对 EMI 最为敏感，通常比电源引脚或输出引脚能更好地校正射频信号。
- 同相和反相运算放大器输入具有对称的物理布局，并表现出近乎匹配的 EMIRR 性能。
- 在同相引脚上测量 EMIRR 比在其他引脚上测量更简单，因为在 PCB 上可以隔离同相输入端子。这种隔离使得射频信号可以直接施加到同相输入端子上，而不会与其他组件或连接性 PCB 走线之间发生复杂的相互作用。

传导或辐射到运算放大器任何引脚的高频信号可能会产生不利影响，因为放大器将没有足够的环路增益来校正具有带宽外频谱内容的信号。在输入端、电源或输出端上传导或辐射的 EMI 可能会导致意想不到的直流偏置、瞬态电压或其他未知的行为。应确保敏感模拟节点与噪声的无线电信号以及数字时钟和接口之间实施了适当的屏蔽和隔离。图 43 显示了电源传导 EMI 对 OPA145 输入失调电压的影响。

OPA145 的 EMIRR IN+ 与频率间的关系图如图 42 所示。OPA145 单位增益带宽为 5.5MHz。低于该频率的 EMIRR 性能表示存在位于运算放大器带宽内的干扰信号。

请参阅《运算放大器的 EMI 抑制比》，可从 www.ti.com.cn 下载该文档。

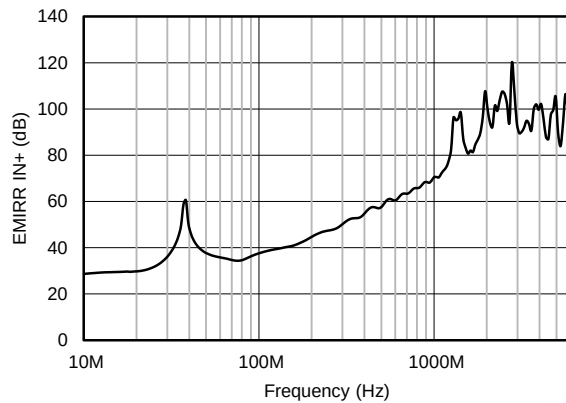


图 42. OPA145 EMIRR IN+

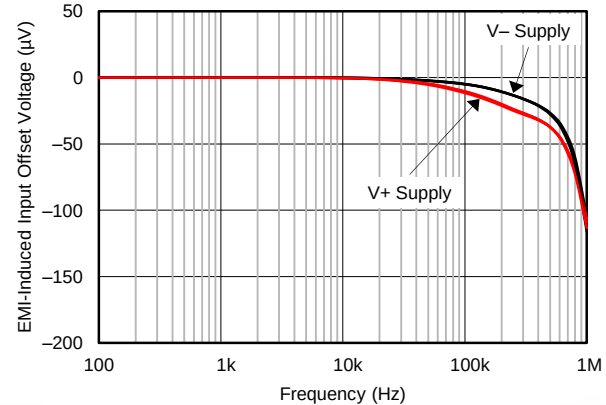


图 43. OPA145 EMI 诱导的输入失调电压（电源）

表 2 列出了在实际应用中经常遇到的特定频率下 OPA145 的 EMIRR IN+ 值。设计。在表 2 中列出的应用可在下图给出的特定频率或其近似频率下运行。该信息对于在这些类型的应用中从事相关设计的人员或者在其他可能遇到各种射频干扰（如工业、科学和医疗 (ISM) 无线频段）的领域工作的设计人员可能特别有用。

表 2. OPA145 在目标频率下的 EMIRR IN+

频率	应用或分配	EMIRR IN+
400MHz	移动无线广播、移动卫星、太空操作、气象、雷达、超高频 (UHF) 应用	54dB
900MHz	移动通信全球系统 (GSM) 应用，广播通信、导航、GPS (至 1.6GHz)、GSM、航空移动、UHF 应用	68dB
1.8GHz	GSM 应用，个人移动通信、宽带、卫星、L 波段 (1GHz 至 2GHz)	86dB
2.4GHz	802.11b、802.11g、802.11n、蓝牙®、个人移动通信、工业、科学和医疗 (ISM) 无线频段、业余无线电通信和卫星、S 波段 (2GHz 至 4GHz)	107dB
3.6GHz	无线电定位、航空通信和导航、卫星、移动通信、S 波段	100dB
5GHz	802.11a、802.11n、航空通信和导航、移动通信、太空和卫星运行、C 波段 (4GHz 至 8GHz)	105dB

8.3.9 EMIRR +IN 测试配置

图 44 显示了用于测试 EMIRR IN+ 的电路配置。射频源用传输线连接到运算放大器同相输入端子。该运算放大器采用单位增益缓冲器拓扑，其输出端连接到低通滤波器 (LPF) 和数字万用表 (DMM)。该运算放大器输入端的大阻抗失配会导致电压反射；但是，在确定 EMIRR IN+ 时会表征和考虑这种效应。产生的直流失调电压由万用表采样并测量。LPF 将万用表与可能干扰万用表精度的残余射频信号隔离开。

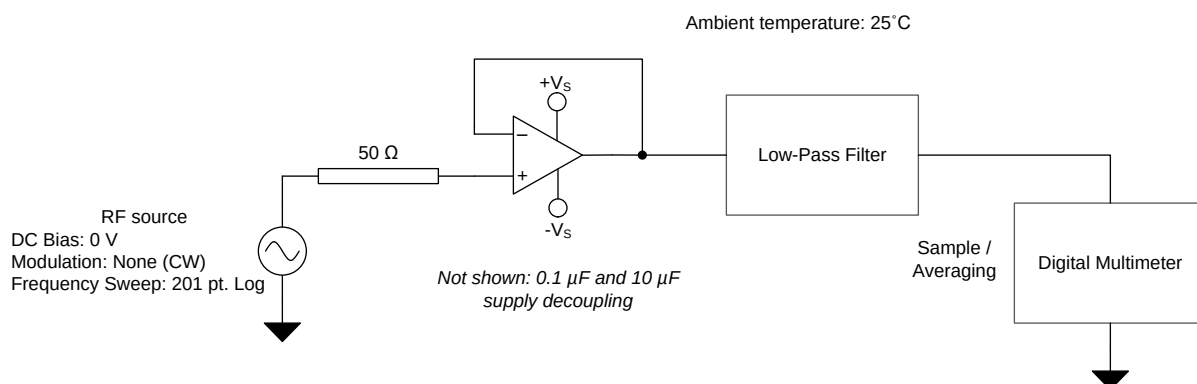


图 44. EMIRR +IN 测试配置

8.4 器件功能模式

OPA145 具有单一功能模式，可在电源电压大于 4.5V ($\pm 2.25V$) 时正常工作。OPA145 的最大电源电压为 36V ($\pm 18V$)。

9 以下一些应用中

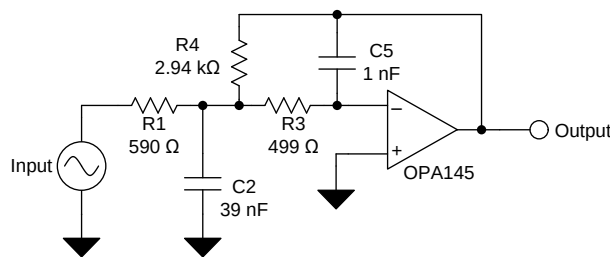
注

的应用和实现 信息 部分的信息不属于 TI 规格范围，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

9.1 应用信息

OPA145 器件是单位增益稳定的运算放大器，具有低噪声、低输入偏置电流和低输入失调电压。在具有低噪声或高阻抗电源的应用中，去耦电容器需靠近器件引脚放置。大多数情况下，0.1μF 电容器已足够满足需求。凭借包括 V- 在内的轨至轨输出摆幅和输入范围，设计人员可以利用 JFET 放大器的低噪声特性的同时，将放大器连接到最新的单电源高精度数据转换器。

9.2 典型应用



Copyright © 2017, Texas Instruments Incorporated

图 45. 25kHz 低通滤波器

9.2.1 设计要求

低通滤波器通常用于在信号处理 应用中降低噪声并防止混叠。OPAx145 器件非常适合构建高速、高精度的有源滤波器。图 45 展示了信号处理应用中经常遇到的二阶低通 滤波器中常见的二阶低通滤波器。

本设计示例使用以下参数：

- 增益 = 5V/V (反相增益)
- 低通截止频率 = 25kHz
- 通带中增益峰值为 3dB 的二阶切比雪夫滤波器响应

9.2.2 详细设计流程

图 45 展示了用于低通网络功能的无限增益多反馈电路。使用公式 1 计算电压传递函数。

$$\frac{\text{Output}}{\text{Input}}(s) = \frac{-1/R_1 R_3 C_2 C_5}{s^2 + (s/C_2)(1/R_1 + 1/R_3 + 1/R_4) + 1/R_3 R_4 C_2 C_5} \quad (1)$$

该电路将产生信号反转。对于该电路，直流增益和低通截止频率可通过公式 2 计算得出：

$$\text{Gain} = \frac{R_4}{R_1}$$

$$f_c = \frac{1}{2\pi} \sqrt{(1/R_3 R_4 C_2 C_5)} \quad (2)$$

典型应用 (接下页)

可使用软件工具简化滤波器设计。WEBENCH®滤波器设计器是一款简单、功能强大且便于使用的有源滤波器设计程序。借助 [WEBENCH® 滤波器设计器](#)，设计人员可使用精选 TI 运算放大器和 TI 供应商合作伙伴提供的无源组件来创建最佳的滤波器设计。

WEBENCH 设计中心以基于网络的工具形式提供 WEBENCH 滤波器设计器。设计人员通过该工具可在数分钟内完成多级有源滤波器解决方案的设计、优化和仿真。

9.2.3 应用曲线

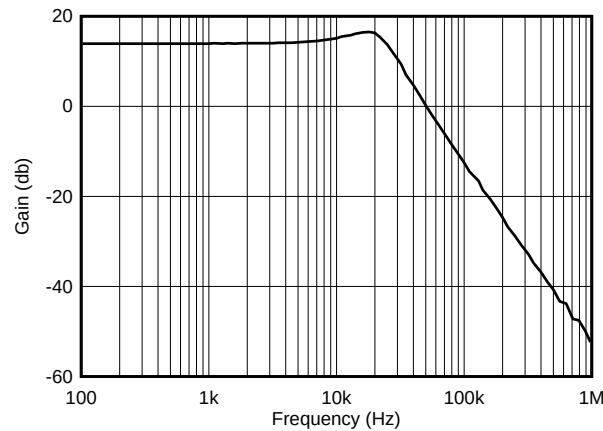


图 46. OPA145 二阶 25kHz 切比雪夫低通滤波器

9.3 系统示例

9.3.1 16 位 100kSPS 全差动跨阻成像和测量

OPA145 用在差动跨阻 (I-V) 测量应用中，能够驱动 [ADS8867](#) 16 位低功耗的真正差动的 ADC，最高转换速率达到 100kSPS，采集时间 1200ns，转换时间 8800ns。第一级支持 493.5kHz 前向带宽和 100k Ω 跨阻增益，使光电二极管可以在 ADC 的转换时间内完全充电并稳定至 $\pm 38\mu\text{V}$ (5V ADC 基准电压上 $\pm 1/2$ LSB)。系统的差动性质带来了诸多优势，例如跨阻增益是单端系统的两倍，提高了信噪比，可轻松连接到高精度全差动 ADC，以及提供额外的抗感应耦合噪声和抗干扰保护。而且，使用低阻抗终端电阻器 R_{TERM1} 和 R_{TERM2} 可以最大限度地减少容性耦合共模瞬变。

当逐次逼近型寄存器 (SAR) ADC 的内部采样电容器连接到第二级后，第二级提供稳定到 16 位准确度所需的反向带宽。第二级中的两个 OPA145 放大器配置为缓冲器，以实现最大闭环带宽，并且通过使用 R3、C3 和 R4、C4 构成一个缓冲电路，以减少开环输出阻抗，优化放大器的稳定性 (参阅图 26)。C5 和 C6 作为 ADC 内部采样电容器的电荷库使用，R5 和 R6 经过调优后优化了第二级的相位裕度，以驱动输出电容。通过这种双极方法可实现与多种高输出阻抗传感器之间的兼容性，而且还能保持 16 位稳定性能。此外，第一级可以设计充分的相位裕度，以驱动远程测量系统中的双绞线输送线路。传输线路设计适当，可以减少远距离传输中其他信号的干扰。图 48 显示了上文所述的系统的稳定性能，图 47 显示了在采集周期中从 5 μs 至 6.2 μs 成功稳定到 0 μA 的建立时间。在 6.3 μs 时，光电二极管电流变为 5 μs (满量程)，并在 ADC 转换周期期间 (6.2 μs 至 15 μs) 稳定，然后在 15 μs 至 16.2 μs 范围内成功采集。

系统示例 (接下页)

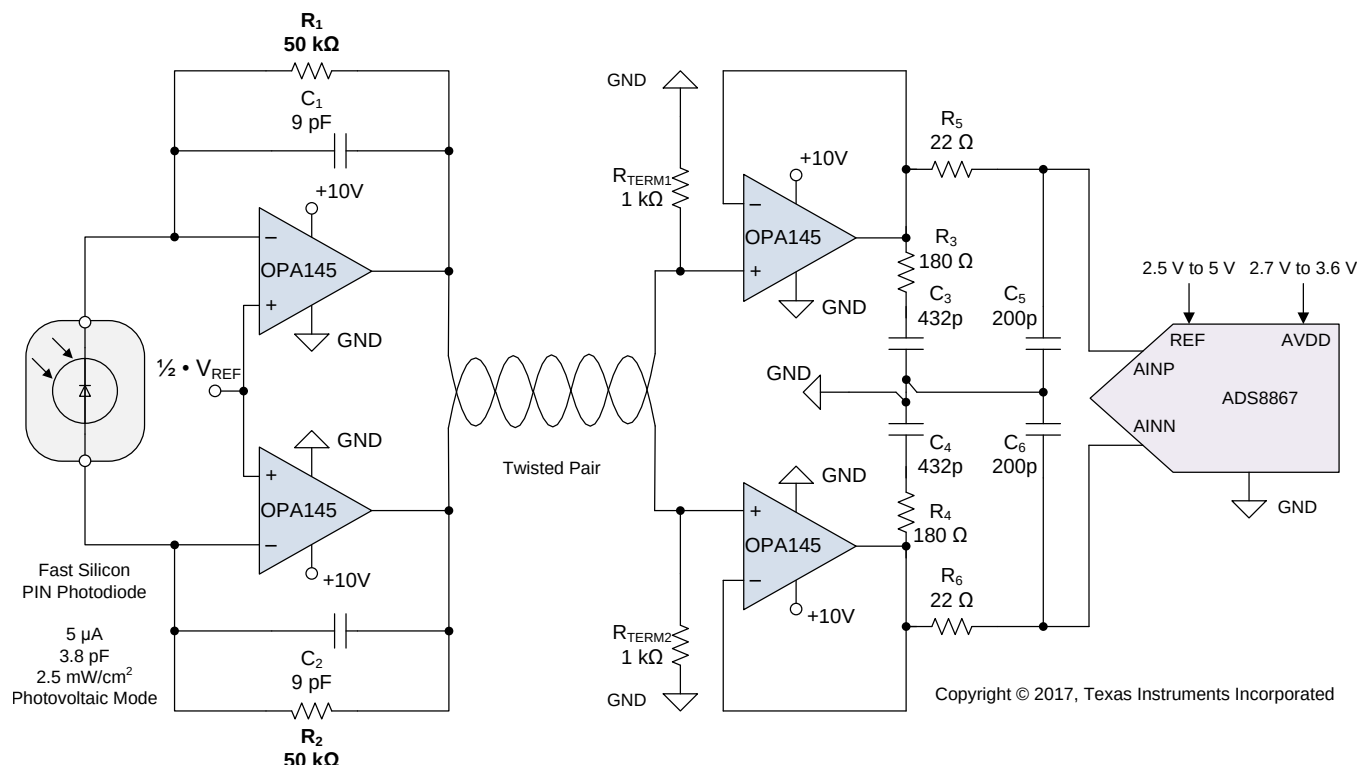


图 47. 16 位 100kSPS 全差动跨阻原理图

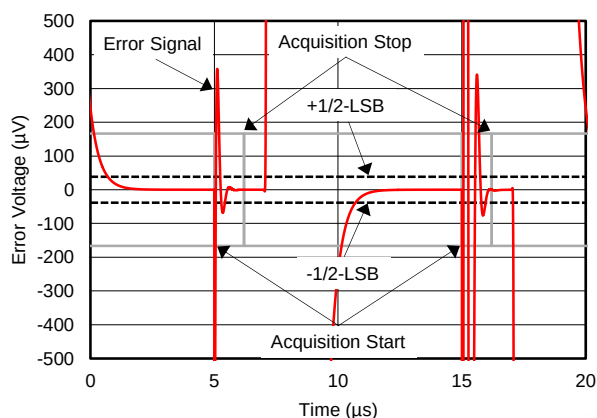


图 48. 16 位 100kSPS 全差动跨阻稳定性能

10 电源建议

OPA145 器件的额定工作电压范围是 4.5V 至 36V ($\pm 2.25V$ 至 $\pm 18V$) ; 许多规格在 $-40^{\circ}C$ 至 $+125^{\circ}C$ 的温度下适用。典型特性 中介绍了随工作电压或温度的变化而明显变化的参数。

CAUTION

电源电压超过 40V 就会对器件造成永久损坏，请参见绝对最大额定值。

将 $0.1\mu\text{F}$ 旁路电容器置于电源引脚附近，提供低阻态回路降低电源从噪声源等耦合来的噪声。有关旁路电容位置的详细信息，请参阅 [布局](#) 部分。

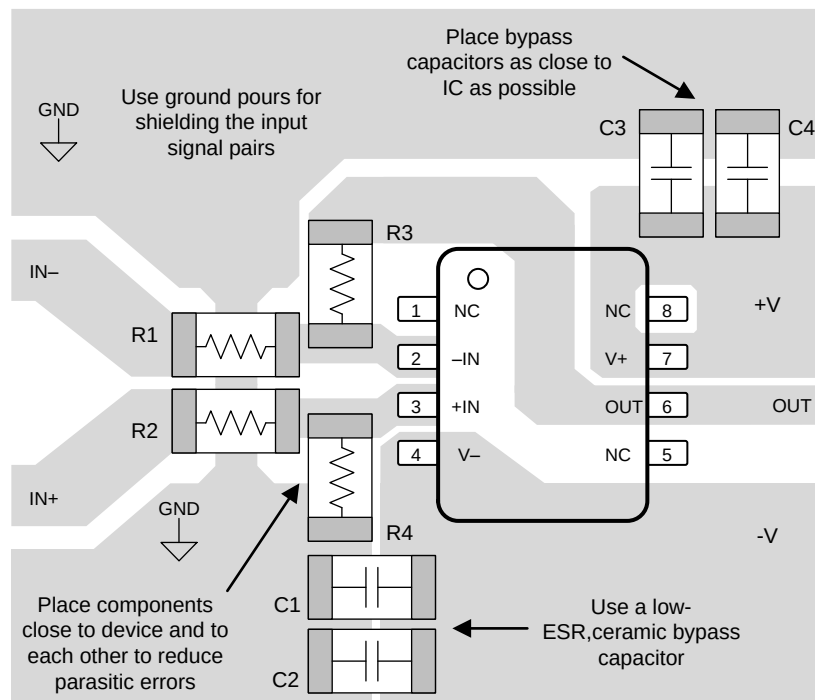
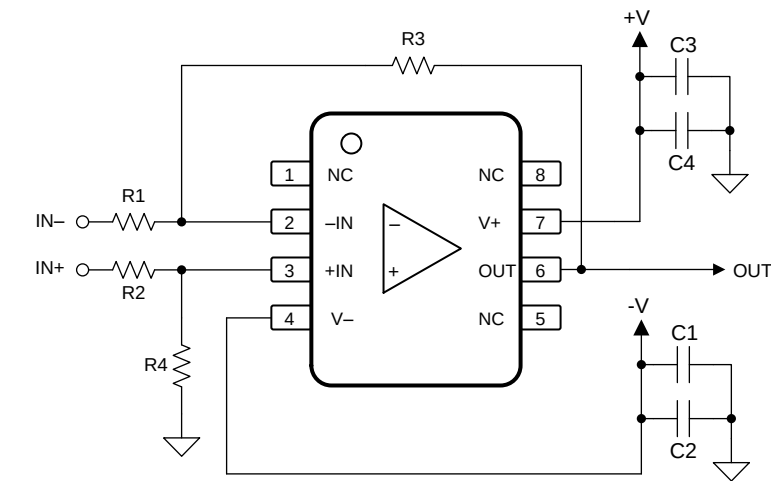
11 布局

11.1 布局指南

为了实现器件的最佳运行性能，应使用良好的 PCB 布局规范，包括：

- 噪声可通过全部电路电源引脚及运算放大器本身传入模拟电路。旁路电容为局部模拟电路提供低阻抗电源，用于降低耦合噪声。
 - 在每个电源引脚和接地端之间连接低 ESR 0.1 μ F 陶瓷旁路电容器，放置位置尽量靠近器件。从 V+ 到接地端的单个旁路电容器适用于单通道电源应用。
- 将电路的模拟和数字部分单独接地是最简单和最有效的噪声抑制方法之一。多层 PCB 中通常将一层或多层专门作为接地层。接地层有助于散热和降低电磁干扰 (EMI) 噪声。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流。有关更多详细信息，请参阅[应用手册《PCB 是一个运算放大器设计的组件》](#)。
- 为了减少寄生耦合，请让输入走线尽可能远离电源走线或输出走线。如果这些走线不能保持分离，则敏感走线与有噪声走线垂直相交比平行更好。
- 外部组件的位置应尽量靠近器件。如[图 49](#) 所示，使 RF 和 RG 接近反相输入可最大限度地减小寄生电容。
- 尽可能缩短输入走线。切记：输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。这样可显著减少附近走线在不同电势下产生的泄漏电流。
- 为获得最佳性能，TI 建议在组装 PCB 板后对其进行清洁。
- 任何精密集成电路都可能因湿气渗入塑料封装中而出现性能变化。请遵循所有的 PCB 水清洁流程，TI 建议将 PCB 组装烘干，以去除清洁时渗入器件封装中的湿气。大多数情形下，清洗后在 85°C 下低温烘干 30 分钟即可。

11.2 布局示例



Copyright © 2017, Texas Instruments Incorporated

图 49. 差分放大器配置的运算放大器电路板布局

12 器件和文档支持

12.1 器件支持

12.1.1 开发支持

12.1.1.1 TINA-TI™ (免费下载)

TINA™是一款简单、功能强大且易于使用的电路仿真程序，此程序基于 SPICE 引擎。TINA-TI 是 TINA 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI 可从 Analog eLab Design Center (模拟电子实验室设计中心) [免费下载](#)，它提供全面的后续处理能力，使得用户能够以多种方式形成结果。虚拟仪器提供选择输入波形和探测电路节点、电压和波形的功能，从而创建一个动态的快速入门工具。

注

这些文件需要安装 TINA 软件 (由 DesignSoft™提供) 或者 TINA-TI 软件。请从 [TINA-TI 文件夹](#) 中下载免费的 TINA-TI 软件。

12.1.1.2 WEBENCH 滤波器设计器工具

WEBENCH® 滤波器设计器是一款简单、功能强大且便于使用的有源滤波器设计程序。借助 WEBENCH 滤波器设计器，用户可使用精选 TI 运算放大器和 TI 供应商合作伙伴提供的无源组件来构建最佳滤波器设计方案。

12.1.1.3 TI 高精度设计

欲获取 TI 高精度设计，请访问 <http://www.ti.com.cn/ww/analog/precision-designs/>。TI 高精度设计是由 TI 公司高精度模拟 应用 专家创建的模拟解决方案，提供了许多实用电路的工作原理、组件选择、仿真、完整印刷电路板 (PCB) 电路原理图和布局布线、物料清单以及性能测量结果。

12.2 文档支持

12.2.1 相关文档

请参阅如下相关文档：

- [PCB 是一个运算放大器设计的组件](#)
- [《OPA140、OPA2140、OPA4140 EMI 抗扰性性能》](#)
- [《用直观方式补偿互阻抗放大器》](#)
- [《运算放大器增益稳定性》，第 3 部分：交流增益误差分析](#)
- [《运算放大器增益稳定性》，第 2 部分：直流增益误差分析](#)
- [《在全差分有源滤波器中使用无限增益、MFB 滤波器拓扑》](#)
- [运算放大器性能分析](#)
- [运算放大器的单电源操作](#)
- [调优放大器](#)
- [无铅成品组件的储存寿命评估](#)
- [《反馈曲线图定义运算放大器交流性能》](#)
- [《运算放大器的电磁干扰 \(EMI\) 抑制比》](#)

12.3 接收文档更新通知

如需接收文档更新通知，请访问 www.ti.com.cn 网站上的器件产品文件夹。单击右上角的通知我 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

12.4 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [《使用条款》](#)。

社区资源 (接下页)

TI E2E™ 在线社区 *TI 的工程师对工程师 (E2E) 社区*。此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。

设计支持 *TI 参考设计支持* 可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。

12.5 商标

E2E is a trademark of Texas Instruments.

TINA-TI is a trademark of Texas Instruments, Inc and DesignSoft, Inc.

WEBENCH is a registered trademark of Texas Instruments.

蓝牙 is a registered trademark of Bluetooth SIG, Inc.

TINA, DesignSoft are trademarks of DesignSoft, Inc.

All other trademarks are the property of their respective owners.

12.6 静电放电警告



这些装置包含有限的内置 ESD 保护。存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

12.7 术语表

SLYZ022 — *TI 术语表*。

这份术语表列出并解释术语、缩写和定义。

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请参阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
OPA145ID	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA145	Samples
OPA145IDBVR	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1IB2	Samples
OPA145IDBVT	ACTIVE	SOT-23	DBV	5	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1IB2	Samples
OPA145IDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	1I4Q	Samples
OPA145IDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	1I4Q	Samples
OPA145IDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA145	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

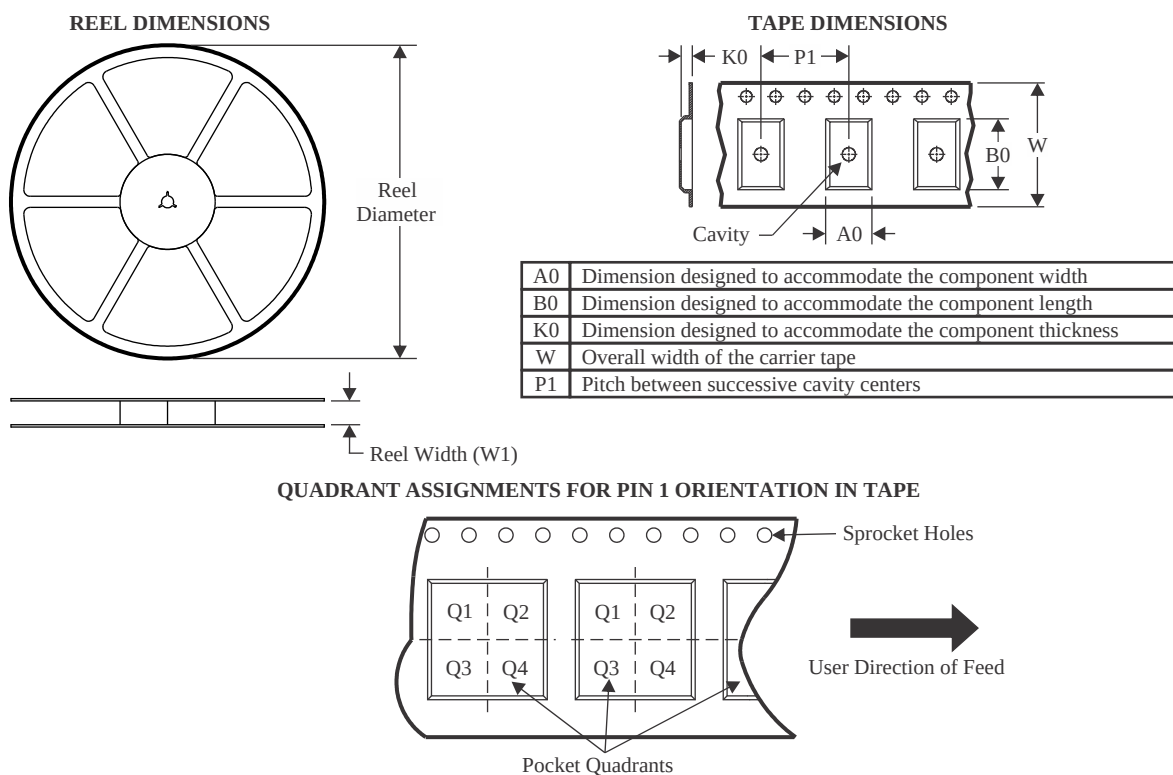
(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

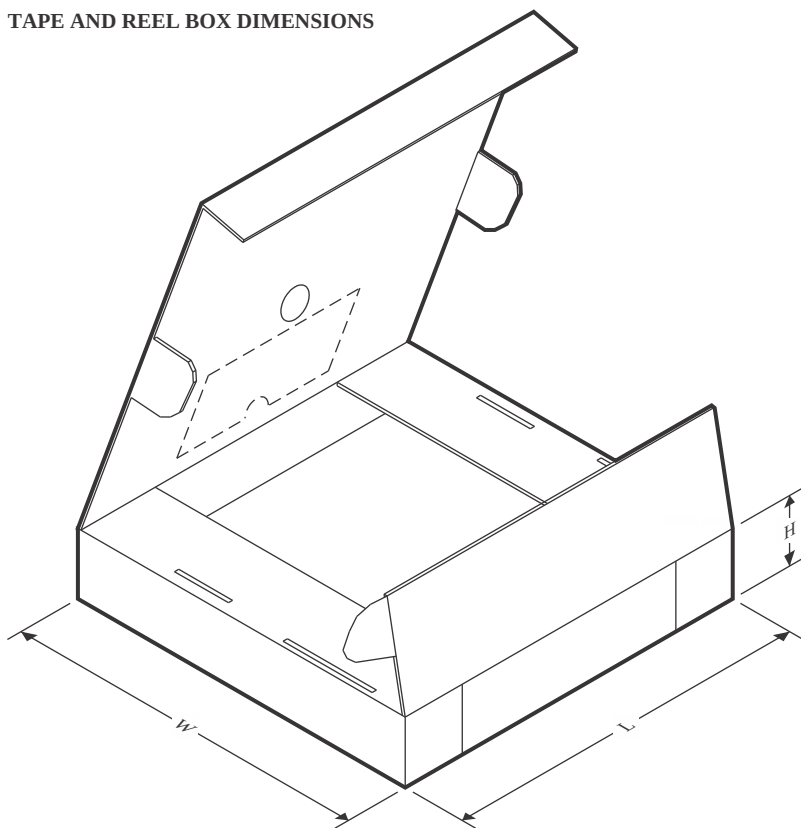
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA145IDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
OPA145IDBVT	SOT-23	DBV	5	250	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
OPA145IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA145IDGKT	VSSOP	DGK	8	250	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA145IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

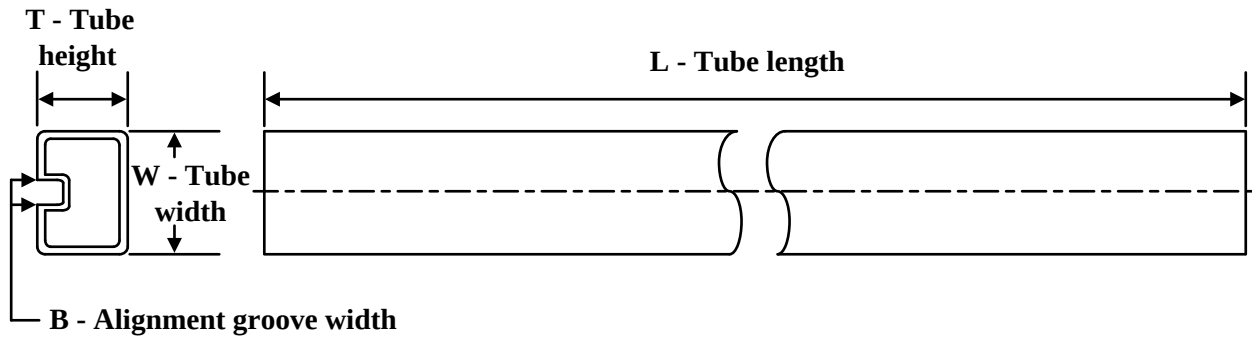
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA145IDBVR	SOT-23	DBV	5	3000	213.0	191.0	35.0
OPA145IDBVT	SOT-23	DBV	5	250	213.0	191.0	35.0
OPA145IDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
OPA145IDGKT	VSSOP	DGK	8	250	366.0	364.0	50.0
OPA145IDR	SOIC	D	8	2500	356.0	356.0	35.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
OPA145ID	D	SOIC	8	75	506.6	8	3940	4.32

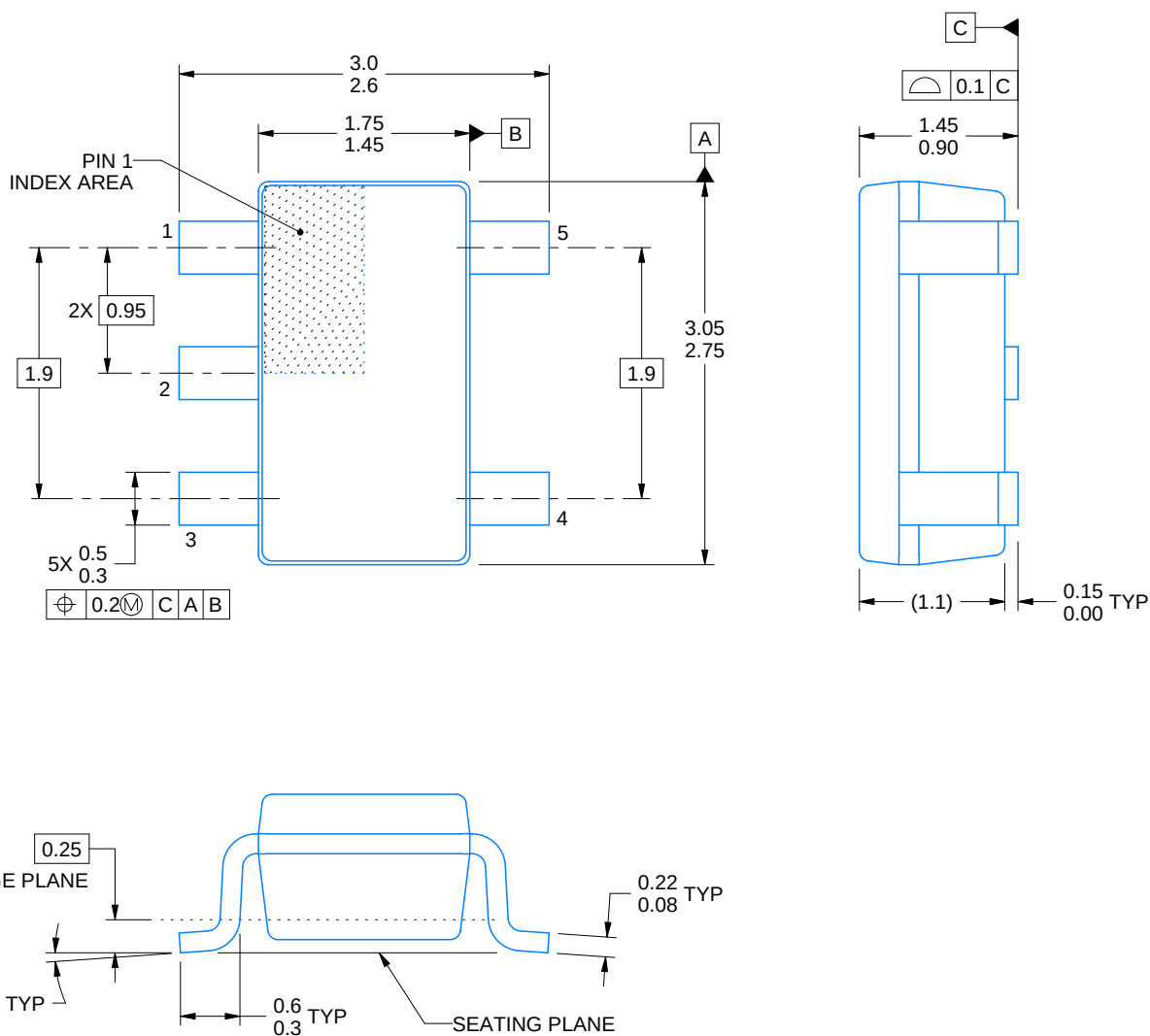


DBV0005A

PACKAGE OUTLINE

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214839/F 06/2021

NOTES:

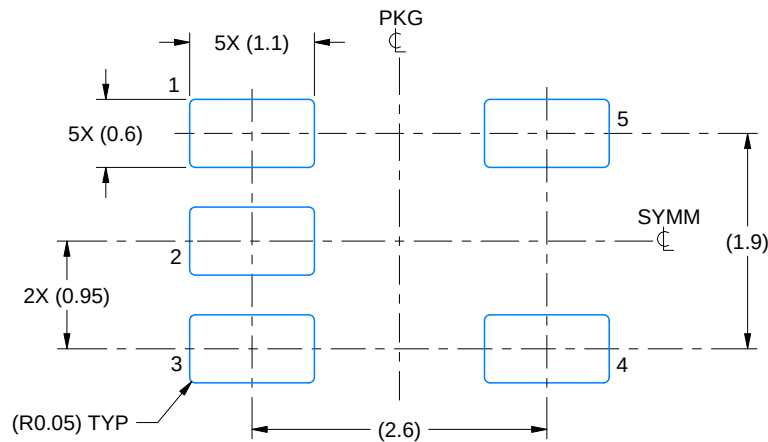
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.

EXAMPLE BOARD LAYOUT

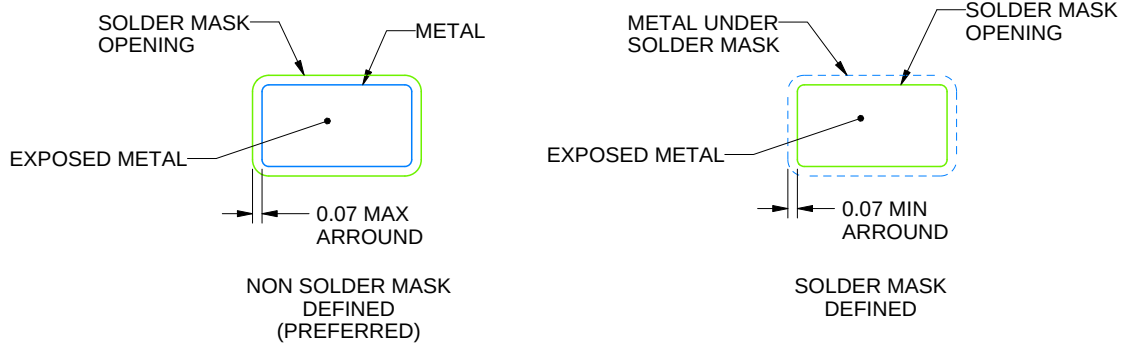
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/F 06/2021

NOTES: (continued)

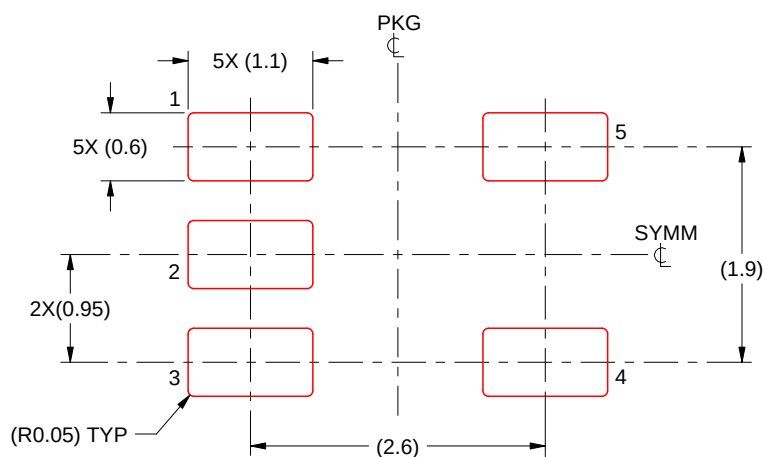
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/F 06/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

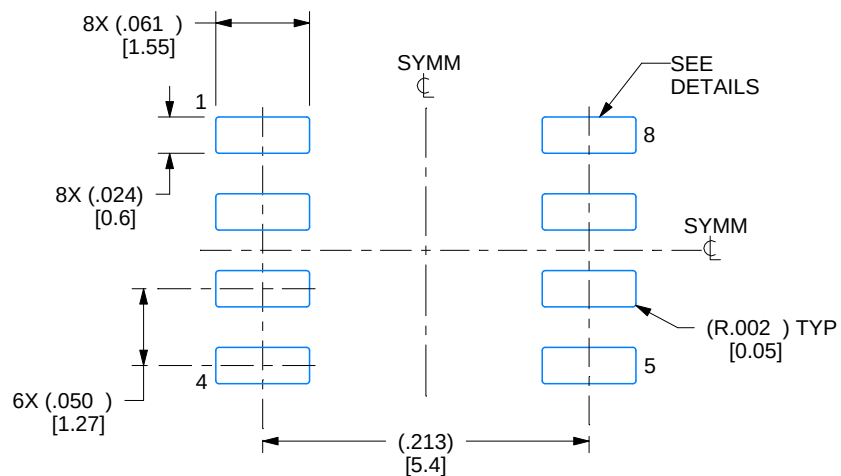


1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

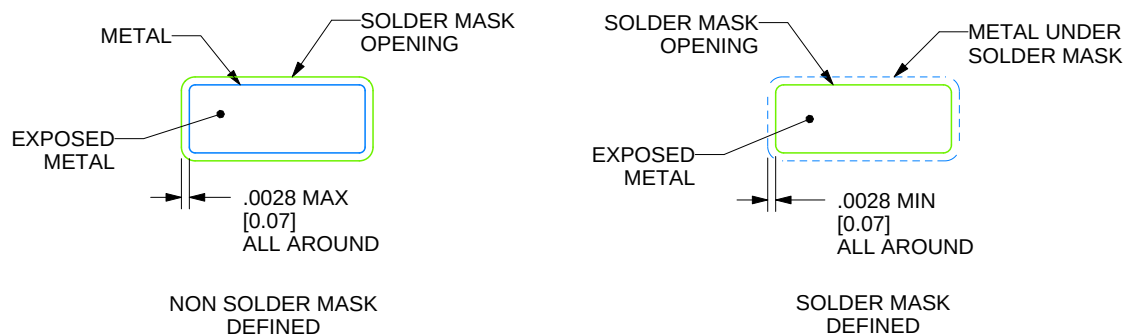
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

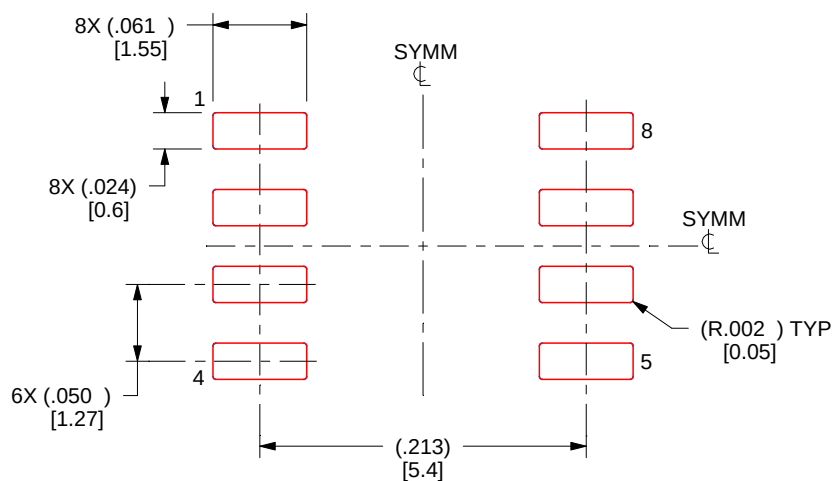
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

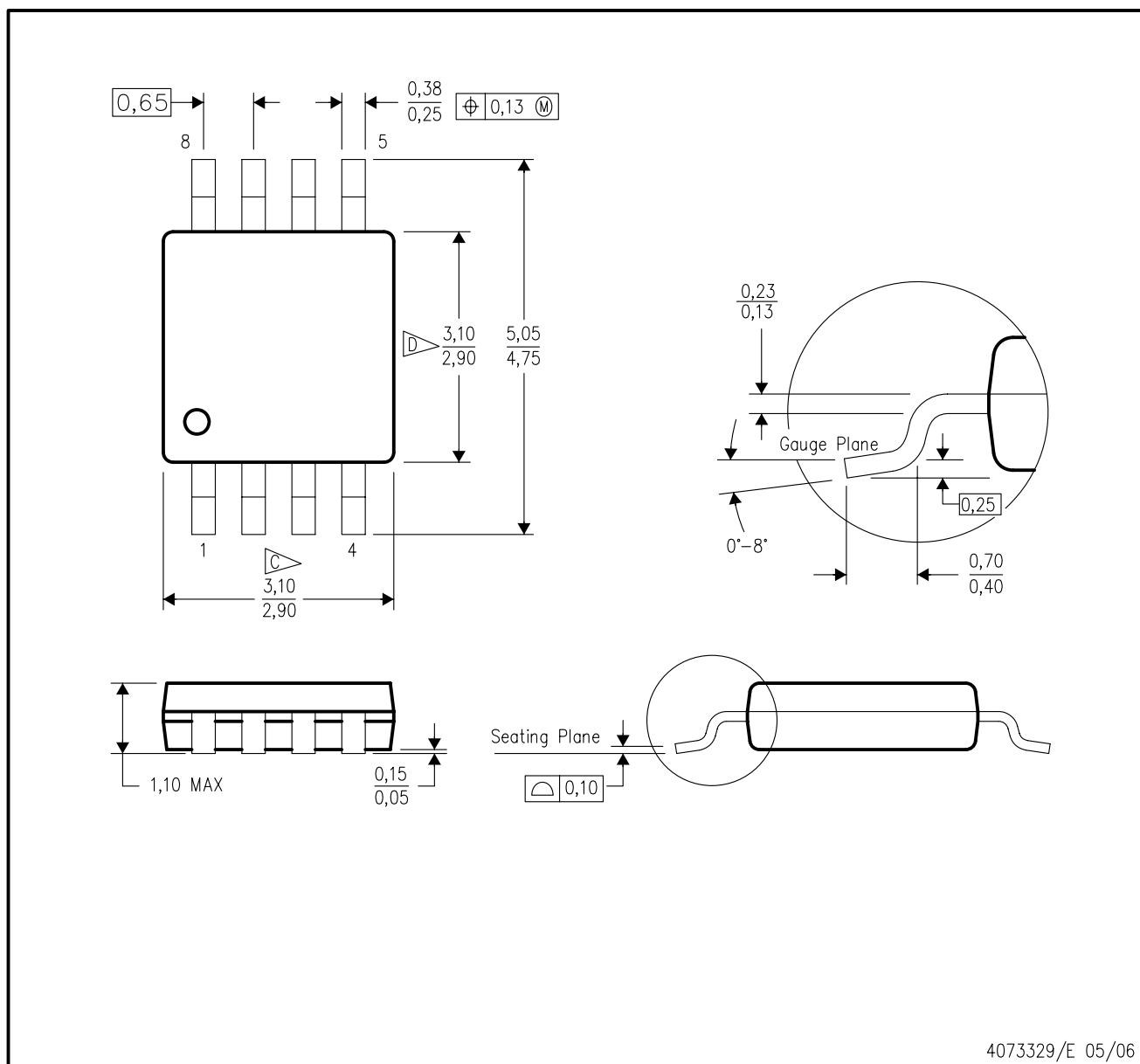
4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DGK (S-PDSO-G8)

PLASTIC SMALL-OUTLINE PACKAGE

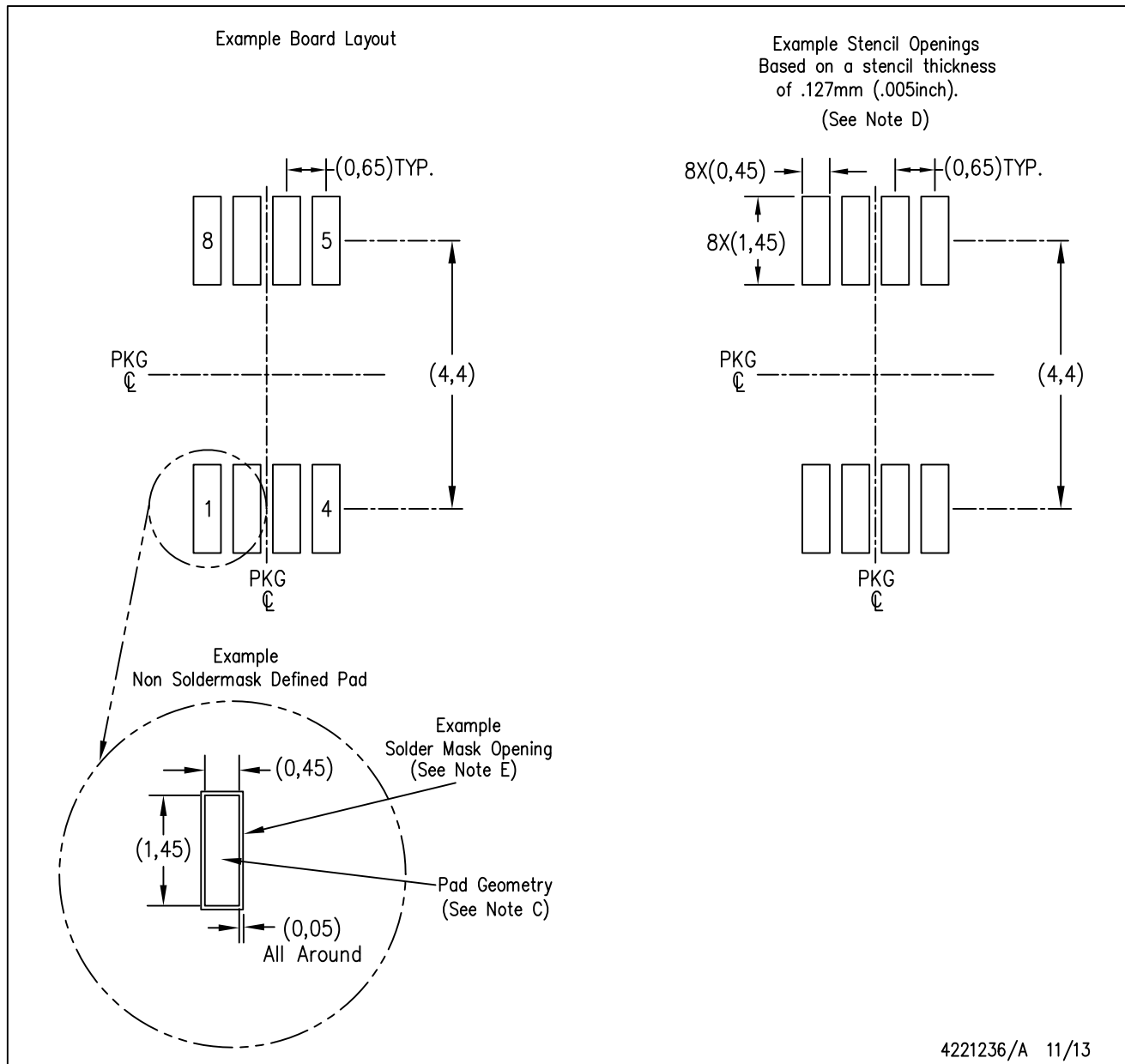


NOTES:

- A. All linear dimensions are in millimeters.
- B. This drawing is subject to change without notice.
- C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per end.
- D. Body width does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
- E. Falls within JEDEC MO-187 variation AA, except interlead flash.

DGK (S-PDSO-G8)

PLASTIC SMALL OUTLINE PACKAGE



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司